

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-353808  
(P2002-353808A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 3 L 7/08		H 0 3 L 7/08	H 5 B 0 7 9
G 0 6 F 1/06		G 0 6 F 1/04	3 1 1 Z 5 J 1 0 6

審査請求 未請求 請求項の数18 O L (全 30 頁)

(21)出願番号 特願2001-154932(P2001-154932)

(22)出願日 平成13年5月24日(2001.5.24)

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(71)出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72)発明者 高橋 幹

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100080816

弁理士 加藤 朝道

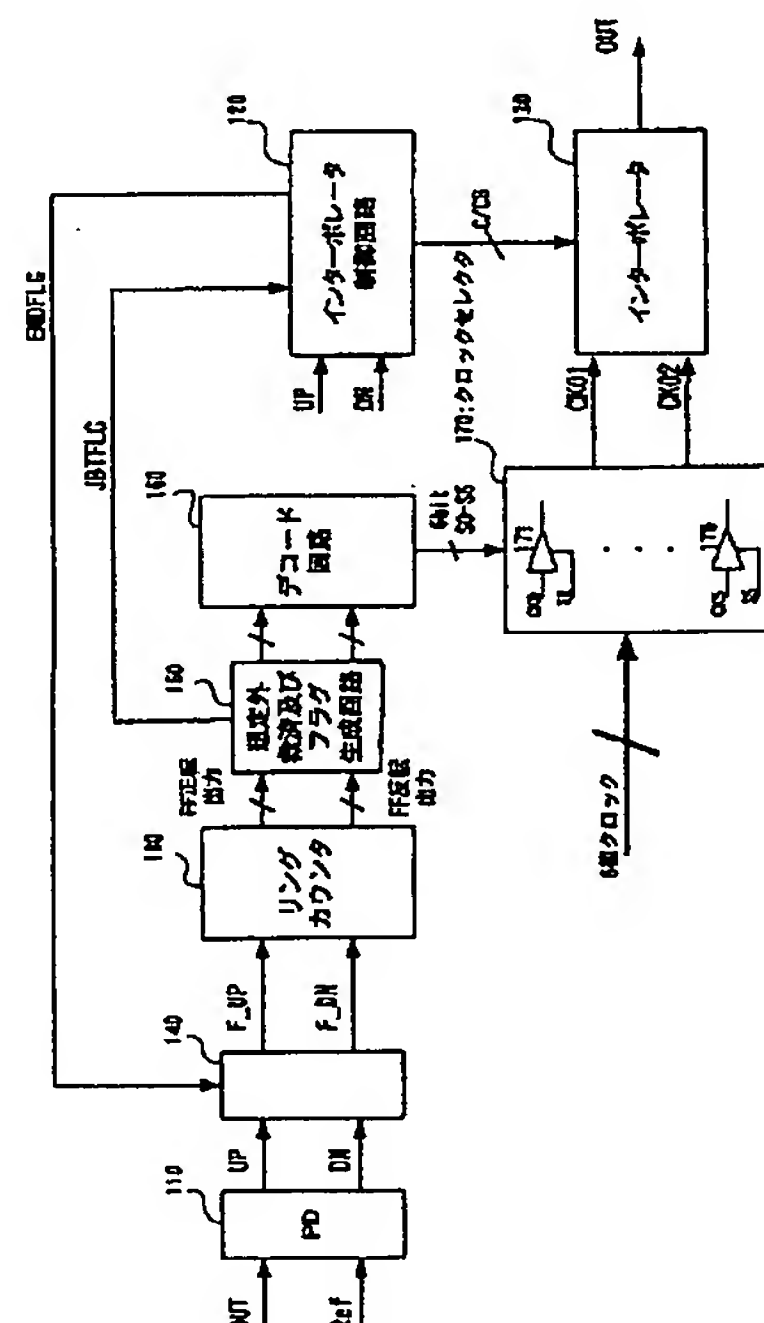
最終頁に続く

(54)【発明の名称】 クロック制御回路

(57)【要約】

【課題】回路規模の縮減を図るクロック制御回路の提供。

【解決手段】Nビットの信号とその相補信号を出力するリングカウンタ100と、想定外のバタンを救済し2Nビットの信号の組合せに対応した値のフラグ信号JBTF LGを生成する想定外救済及びフラグ生成回路150と、デコード回路160と、デコード回路からの選択制御信号に基づき多相クロックからクロック対を出力するクロックセレクタ170と、クロック対の位相差を内分した時間に対応する遅延時間の信号を出力するインターポレータ130と、インターポレータの出力と基準クロックの位相を比較する位相比較器110と、位相比較器からの位相比較結果とフラグ信号JBTF LGに基づき、シフト方向が可変されインターポレータの内分比を設定する内分比制御信号を出力するインターポレータ制御回路120を備える。



## 【特許請求の範囲】

【請求項1】 カウント方向がアップとダウンに切り替え自在とされ、カウント値として2N通りのパタンのNビットの信号を出力するとともに、前記Nビットの信号の各ビットを反転してなるNビットの反転信号を出力するリングカウンタと、

前記リングカウンタから出力される前記Nビットの信号と前記Nビットの反転信号とからなる2Nビットの信号を入力し、前記2Nビットの信号に対して、1ビットを反転することで、前記2Nビットの信号の両端の2Nビ

ット目と1ビット目とが互いに相隣るものとして、前記2Nビットのうちの少なくとも相隣る2つのビットが第1の値とされ、残りのビットが第2の値とされるデコード信号を出力するデコード回路と、

互いに位相がずれている複数のクロック信号を入力し、前記デコード回路から出力される前記デコード信号をクロック選択制御信号として入力し、前記複数のクロック信号の中から選択されたクロック信号対を出力するクロックセレクトと、

前記クロックセレクトから出力されるクロック信号対を、第1及び第2の入力端子より入力し、入力される内分比制御信号で設定される内分比にて、前記クロック信号対の位相差を内分した時間に対応した遅延時間のクロ

ック信号を出力端子より出力する少なくとも一つのインターボレータと、  
前記インターボレータから出力されるクロック信号と基準クロックとの位相を比較する位相比較回路と、  
前記位相比較回路から出力される位相比較結果信号を入力し、前記位相比較結果信号と、前記インターボレータの前記第1及び第2の入力端子に入力されるクロック信号対の位相の順・逆の関係とに基づき、シフト方向が可変されるシフトレジスタよりなり、前記インターボレータにおける内分比を設定する前記内分比制御信号を、前記インターボレータに対して供給するインターボレータ制御回路と、

を備えている、ことを特徴とするクロック制御回路。

【請求項2】 入力されるアップ信号とダウン信号とに基づき、カウント方向を切り替え、カウント値として2N通りのパタンのNビットの信号を出力するとともに、前記Nビットの信号の各ビットを反転したNビットの反転信号を出力するリングカウンタと、

前記リングカウンタから出力される前記Nビットの信号と前記Nビットの反転信号とからなる2Nビットの信号を入力して想定外のボタンであるかチェックし、前記想定外のボタンを検出した時、これを許容されているボタンに置き換えて出力する想定外救済回路と、

前記リングカウンタから出力される前記2Nビットの信号のボタンに応じて、第1の論理値又は第2の論理値をとるフラグ信号を生成するフラグ生成回路と、

前記想定外救済回路からの出力信号を入力し、2Nビッ

ットの信号の両端の2Nビット目と1ビット目とが互いに相隣るものとして、前記2Nビットのうちの少なくとも相隣る2つのビットが第1の値とされ、残りのビットが第2の値とされる、デコード信号を出力するデコード回路と、

互いに等間隔の位相差の2N個のクロック信号を入力し、前記デコード回路から出力される2Nビットの前記デコード信号をクロック選択制御信号として入力し、前記2N個のクロック信号のうち、選択されたクロック信号対を出力するクロックセレクトと、

前記クロックセレクトから出力されるクロック信号対を、第1及び第2の入力端子より入力し、前記クロック信号対の位相差を、入力される内分比制御信号で設定される内分比で内分した時間に対応した遅延時間のクロック信号を出力端子より出力する、少なくとも一つのインターボレータと、

前記インターボレータから出力されるクロック信号と基準クロックの位相を比較する位相比較回路と、

前記位相比較回路から出力される位相比較結果信号と、

前記フラグ生成回路から出力される前記フラグ信号とを入力し、これらの信号の値に基づき、シフト方向が可変されるシフトレジスタよりなり、前記インターボレータにおける内分比を設定する前記内分比制御信号を、前記インターボレータに対して供給するインターボレータ制御回路と、

を備えている、ことを特徴とするクロック制御回路。

【請求項3】 前記インターボレータ制御回路は、それぞれが、前記内分比制御信号を出力する複数の単位回路を有し、前記複数の単位回路のうちの単位回路の出力が他の単位回路の出力として伝搬する、構成とされている、ことを特徴とする請求項1又は2記載のクロック制御回路。

【請求項4】 前記インターボレータ制御回路は、それぞれが、前記内分比制御信号を出力する複数の単位回路を有し、

前記複数の単位回路は、それぞれフリップフロップを備え、前記複数のフリップフロップが前記シフトレジスタを構成し、

一つの前記単位回路の出力は、次段の前記単位回路に伝搬される構成とされ、一つの前記単位回路から伝搬された信号と次段の前記単位回路のフリップフロップの出力との論理和演算結果が、次段の前記単位回路の出力信号として、出力される、ことを特徴とする請求項1又は2記載のクロック制御回路。

【請求項5】 前記インターボレータ制御回路において、前記インターボレータの内分比がその上限値又は下限値（「端部」という）に達した場合、端部であることを示すフラグ信号をアクティブ状態として出力する回路を備えている、ことを特徴とする請求項1又は2記載のクロック制御回路。

10

20

30

40

50

【請求項 6】前記インターポレータ制御回路から出力される、前記端部であることを示すフラグ信号がアクティブ状態のとき、前記位相比較回路から出力される位相比較結果信号に基づき、前記リングカウンタに供給するアップ信号、及びダウン信号を生成するアップ・ダウン制御回路を備えている、ことを特徴とする請求項 5 記載のクロック制御回路。

【請求項 7】前記リングカウンタが、N 段のフリップフロップと、

前記 N 段のフリップフロップのそれぞれに対して設けられ、前記各フリップフロップへの入力信号を供給する N 個の論理回路と、

を備え、

前記各論理回路は、アップ、ダウン、及び保持をそれぞれ指示するアップ信号、ダウン信号、及び保持信号と、前記 N 段のフリップフロップの各出力信号と、を入力し、アップカウントの場合、N 段目のフリップフロップの出力の反転信号が 1 段目のフリップフロップに対応する論理回路を介して前記 1 段目のフリップフロップに帰還入力され、クロックによるシフト動作時、前記各論理回路を介して、前段のフリップフロップの出力の状態が後段のフリップフロップの入力に伝搬され、

ダウンカウントの場合、1 段目のフリップフロップの出力の反転信号が N 段目のフリップフロップに対応する論理回路を介して前記 N 段目のフリップフロップに帰還入力され、クロックによるシフト動作時、後段のフリップフロップの出力の状態が前段のフリップフロップの入力に伝搬され、

保持状態の場合、前記各論理回路に対応するフリップフロップの出力信号を前記各論理回路に対応するフリップフロップの入力に供給する、

制御を行う、ことを特徴とする請求項 1 又は 2 記載のクロック制御回路。

【請求項 8】前記デコード回路が、前記 N ビットの信号と前記 N ビットの各ビットを反転した N ビットの反転信号よりなる 2 N ビット幅の信号のうち、第 I ビットと第 I + 1 ビット（ただし、I は、1、2、～N、なお I が 2 N の場合、2 N + 1 は 1 となる）の信号をそれぞれ入力とする 2 N 個の論理積回路で構成される、ことを特徴とする請求項 1 又は 2 記載のクロック制御回路。

【請求項 9】前記インターポレータ制御回路が、複数段（M 段）のフリップフロップと、

前記位相比較回路から出力される位相比較結果信号をなすアップ信号及びダウン信号と、前記フラグ生成回路から出力される前記フラグ信号の値に基づき、左シフト、右シフト、及び保持の信号を生成する制御信号生成回路と、

M 個の制御論理回路と、

を少なくとも備え、

1 段目と M 段目の両端を除く M - 2 個の前記各制御論理

回路は、前記制御信号生成回路から出力される左シフト、右シフト、及び保持の信号を入力し、M ビットの出力信号のうち、前記各制御論理回路に対応する出力信号と、前記出力信号に相隣る二つの出力信号とを入力し、入力した前記各出力信号の値と、シフト方向とに応じて出力論理値を決定して対応する段のフリップフロップのデータ入力端子に供給し、

1 段目と M 段目の前記制御論理回路は、前記制御信号生成回路から出力される左シフト、右シフト、及び保持の信号を入力し、端部の前記制御論理回路に対応する出力信号と、前記出力信号に相隣る一つの出力信号と、固定電位とを入力し、これらの出力信号と、シフト方向に応じて出力論理値を決定して対応する段のフリップフロップのデータ入力端子に供給し、

1 段目を除く各段のフリップフロップの出力には、論理和回路がそれぞれ設けられており、

前記各論理和回路には、対応する段の前段の出力信号と、対応する段の前記フリップフロップの出力とが入力され、

1 段目のフリップフロップの出力信号、及び、2 段目以降の各段に対応する前記各論理和回路の出力信号が、M ビットの前記内分比制御信号として、出力される、ことを特徴とする請求項 1 又は 2 記載のクロック制御回路。

【請求項 10】前記インターポレータ制御回路が、M ビットの前記内分比制御信号のうち、1 ビット目と M ビット目の前記内分比制御信号の値に基づき、前記インターポレータの内分比がその上限値又は下限値（「端部」という）に達したことを示す端部フラグ信号を生成する回路を備えている、ことを特徴とする請求項 9 記載のクロック制御回路。

【請求項 11】前記インターポレータが、前記第 1 及び第 2 の入力端子からそれぞれ入力される第 1 及び第 2 の入力信号の所定の論理演算結果を出力する論理回路と、第 1 の電源と内部ノード間に接続され、前記論理回路の出力信号を制御端子に入力とする第 1 のスイッチ素子と、

前記内部ノードに入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に、出力論理値を反転させるバッファ回路と、

を備え、

前記内部ノードと第 2 の電源間には、第 1 の定電流源と、前記第 1 の入力信号でオン・オフ制御される第 2 のスイッチ素子と、前記インターポレータ制御回路からの内分比制御信号でオン及びオフ制御される第 3 のスイッチ素子と、からなる直列回路が、複数個、並列に接続され、

前記内部ノードと前記第 2 の電源間には、第 2 の定電流源と、前記第 2 の入力信号でオン及びオフ制御される第 4 のスイッチ素子と、前記インターポレータ制御回路からの内分比制御信号の相補信号でオン及びオフ制御され



る第5のスイッチ素子と、からなる直列回路が、複数個、並列に接続されている、ことを特徴とする請求項1又は2記載のクロック制御回路。

【請求項12】前記インターポレータにおいて、前記第1のスイッチ素子が、第1導電型のトランジスタよりなり、

前記第2乃至第5のスイッチ素子が、第2導電型のトランジスタよりなる、ことを特徴とする請求項11記載のクロック制御回路。

【請求項13】前記インターポレータにおいて、前記第2のスイッチ素子、前記第3のスイッチ素子、前記第4のスイッチ素子、及び、前記第5のスイッチ素子がいずれも少なくとも所定個数(M個)よりなり、

前記第3のスイッチ素子群に供給する前記内分比制御信号により、K個(但しKは0~M)の前記第3のスイッチ素子をオンとし、

前記第5のスイッチ素子群に供給する前記内分比制御信号の相補信号により、M-K個の前記第5のスイッチ素子をオンとし、

前記第1の入力信号と前記第2の入力信号間のタイミング差を、前記タイミング差のM分の1を単位として、前記Kの値で、内分した位相に対応する遅延時間の信号を出力し、前記Kの値を可変することで内分比が可変される、ことを特徴とする請求項11記載のクロック制御回路。

【請求項14】前記インターポレータが、前記第1及び第2の入力端子からそれぞれ入力される第1及び第2の入力信号を入力としこれらの信号の論理演算結果を出力する論理演算回路と、

電源と内部ノード間に接続され、前記論理演算回路の出力信号をゲート入力とする第1導電型MOSトランジスタと、

前記内部ノードに入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に、出力論理値を反転させる、バッファ回路と、

前記内部ノードと接地間に、前記第1の入力信号をゲート入力とし定電流源で駆動される第2導電型MOSトランジスタと、前記インターポレータ制御回路からの内分比制御信号でオン・オフ制御されるスイッチ素子とからなる直列回路が、複数個、並列に接続され、

前記内部ノードと接地間に、前記第2の入力信号をゲート入力とし定電流源で駆動される第2導電型のMOSトランジスタと、前記インターポレータ制御回路からの内分比制御信号でオン・オフ制御されるスイッチ素子とからなる直列回路が、複数個、並列に接続され、

前記内部ノードと接地間には、スイッチ素子と容量とからなる直列回路が、複数個、並列に接続され、前記スイッチ素子の制御端子に接続される周期制御信号にて前記スイッチ素子がオン・オフされ、前記内部ノードに付加する容量値が可変される、ことを特徴とする請求項11

記載のクロック制御回路。

【請求項15】前記インターポレータが、前記第1の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第1のスイッチ素子群と、前記内分比制御信号が制御端子にそれぞれ入力され、互いに並列に配置された第2のスイッチ素子群と、を高位側電源と内部ノード間に2段縦積みし、

前記内分比制御信号が制御端子にそれぞれ入力され、互いに並列に配置された第4のスイッチ素子群と、前記第2の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第4のスイッチ素子群と、を前記内部ノードと低位側電源間に2段縦積みし、

前記第2の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第5のスイッチ素子群と、前記内分比制御信号の相補信号が制御端子にそれぞれ入力され、互いに並列に配置された第6のスイッチ素子群と、を前記高位側電源と前記内部ノード間に2段縦積みし、

前記内分比制御信号の相補信号が制御端子にそれぞれ入力され、並列に配置された第7のスイッチ素子群と、前記第2の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第8のスイッチ素子群と、を前記内部ノードと前記低位側電源間に2段縦積みし、

前記内部ノードと前記低位側電源間には容量が接続され、

前記内部ノードに入力端が接続され、前記内部ノードの電位としきい値との大小関係が反転した場合に、出力論理値を反転させるバッファ回路を備えている、ことを特徴とする請求項1又は2記載のクロック制御回路。

【請求項16】前記インターポレータが、高位側電源にソースが共通に接続され、前記第1の入力端子から入力される第1の入力信号をゲートに共通に入力するN個(ただし、Nは2以上の整数)のPチャネルMOSトランジスタ(「第1群のPチャネルMOSトランジスタ」という)と、

前記第1群のPチャネルMOSトランジスタのドレインにソースがそれぞれ接続され、前記内分比制御信号をそれぞれゲートに入力し、ドレインが内部ノードに共通に接続されているN個のPチャネルMOSトランジスタ(「第2群のPチャネルMOSトランジスタ」という)と、

前記内部ノードにドレインが共通に接続され、前記内分比制御信号をそれぞれゲートに入力するN個のNチャネルMOSトランジスタ(「第1群のNチャネルMOSトランジスタ」という)と、

前記第1群のNチャネルMOSトランジスタのソースにドレインがそれぞれ接続され、前記第2の入力端子から

入力される第2の入力信号をゲートに共通に入力し、ソースが低位側電源に共通に接続されているN個のNチャネルMOSトランジスタ（「第2群のNチャネルMOSトランジスタ」という）と、

前記高位側電源にソースが共通に接続され、前記第2の入力信号をゲートに共通に入力するN個のPチャネルMOSトランジスタ（「第3群のPチャネルMOSトランジスタ」という）と、

前記第3群のPチャネルMOSトランジスタのドレインにソースがそれぞれ接続され、前記内分比制御信号の相補信号をそれぞれゲートに入力し、ドレインが内部ノードに接続されているN個のPチャネルMOSトランジスタ（「第4群のPチャネルMOSトランジスタ」という）と、

前記内部ノードにドレインが共通に接続され、内分比制御信号の相補信号をそれぞれゲートに入力するN個のNチャネルMOSトランジスタ（「第3群のNチャネルMOSトランジスタ」という）と、

前記第3群のNチャネルMOSトランジスタのソースにドレインがそれぞれ接続され、前記第1の入力信号をゲートに共通に入力し、ソースが低位側電源に共通に接続されているN個のNチャネルMOSトランジスタ（「第4群のNチャネルMOSトランジスタ」という）と、

を少なくとも備え、  
前記内部ノードに接続される容量は、前記第1乃至第4群のPチャネルMOSトランジスタを介して充電され、前記第1乃至第4群のNチャネルMOSトランジスタを介して放電され、

前記内部ノードに入力端が接続された、正転又は反転型のバッファ回路を備え、前記バッファ回路の出力端子から前記インターポレータの出力信号が出力される、ことを特徴とする請求項1又は2記載のクロック制御回路。

【請求項17】前記内部ノードと前記低電位電源間には、スイッチ素子と容量とからなる直列回路が、複数個、並列に接続されてなる容量・スイッチ回路を備え、前記容量・スイッチ回路の前記スイッチ素子の制御端子に接続される周期制御信号にて前記スイッチ素子がオン及びオフされ、前記内部ノードに付加する容量値が可変される、ことを特徴とする請求項15又は16記載のクロック制御回路。

【請求項18】前記第1及び第2の入力端子からそれぞれ入力される前記第1及び第2の入力信号を反転する第1、及び第2のインバータを備え、

前記第1のインバータの出力端が、前記第1群のPチャネルMOSトランジスタのゲートに共通に接続されるとともに、前記第4群のNチャネルMOSトランジスタのゲートに共通に接続され、

前記第2のインバータの出力端が、前記第3群のPチャネルMOSトランジスタのゲートに共通に接続されるとともに、前記第2群のNチャネルMOSトランジスタの

ゲートに共通に接続されている、ことを特徴とする請求項16記載のクロック制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック制御回路に関し、特に、インターポレータを用いたクロック制御回路に関する。

【0002】

【従来の技術】クロックで駆動される順序回路もしくは回路ブロック等にクロックを供給するクロック制御回路としては、PLL（位相同期ループ）回路、もしくはDLL（遅延同期ループ）回路が用いられているほか、さらに、PLL、DLLと、インターポレータ（内分回路）を組み合わせたものも知られている。

【0003】インターポレータを用いたクロック制御技術について、いくつかの例を説明する。PLL回路を用いて多相クロックP0～Pnを生成したものが、文献1（ISSC 1993 p.p 160-161 Mark Horowitz et al. , "PLL Design for 500MB/s Interface"）に記載されている。この文献1に記載された構成においては、図16に示すように、PLL回路1510から、入力クロック1にそれぞれ位相同期した多相クロック信号P0～Pnを出力し、多相クロック信号P0～Pnはスイッチ1520に入力され、選択された隣り合う2つの信号（偶位相（even phase）と奇位相（odd phase））がインターポレータ（phase interpolator）1530に入力され、インターポレータ1530において、2つの入力信号の位相を内分した出力信号が出力される。インターポレータ1530に入力する信号対を選択するスイッチ1520は、偶位相（even phase）セレクタと、位相セレクタに選択制御信号を供給するシフトレジスタと、奇位相（odd phase）セレクタと位相セレクタに選択制御信号を供給するシフトレジスタから構成されている。

【0004】上記文献1に記載されている構成において、インターポレータ1530は、二つの入力を受ける差動回路からなるアナログ構成よりなり、制御回路1540は、どちらの入力の位相が早いか監視し、アップダウンカウンタ（不図示）にカウント信号を出力するFSM（有限状態マシン）回路（不図示）と、アップダウンカウンタの出力をアナログ信号に変換するDA変換器（不図示）とを備え、DA変換器からインターポレータに偶数（even）／奇数（odd）位相に対する電流を供給する構成とされている。PLL回路1510は、位相比較回路、ループフィルタ、ループフィルタの電圧を制御電圧として入力する電圧制御発振器（VCO）、電圧制御発振器の出力を分周し位相比較回路に帰還入力する分周器からなり、VCOから多相クロックが出力される。

【0005】また文献2（ISSC 1997 p.p 332-333



S. Sidiropoulos and Mark Horowitz et al. , "A semi-digital delay locked loop with unlimited phase shift capability and 0.08-400MHz operating range" ) には、図16のPLL回路のかわりに、DLL (Delay Lock Loop) 回路を用いて、入力クロックに同期した多相クロック信号P0~Pnを出力し、多相クロック信号P0~Pnはセレクタ(スイッチ)1520に入力され、隣り合う二つの信号がインターポレータ1530に入力され、位相を内分した信号が出力OUTから出力される構成が記載されている。制御回路1540は、出力OUTと基準クロックとの位相差検出結果に基づき、インターポレータ1530の内分比を可変制御するとともにセレクタ1520の切り替えを制御する。このインターポレータもアナログ回路で構成されている。

【0006】[先願発明について] PLL回路等を用いた場合に生じる中心周波数変動、及び、帰還ループによるジッタ等を無くし、位相誤差を特段に低減するクロック制御回路を提供するため、本願出願人は、多相クロックP0~Pnを生成する多相クロック生成回路として、通信用インターポレータを用いたクロック制御回路を、特願2000-083579号で提案している。

【0007】図14を参照して、特願2000-083579号(本願出願時未公開)で提案されているインターポレータを用いたクロック制御回路についてその概略を説明する。多相クロック生成回路210として通信用インターポレータを用いて生成されたクロックP0~Pnを、クロックセレクタ170と、微調用のインターポレータ130で任意の位相に調整する。上記特願2000-083579号に記載されているように、通信用インターポレータは、入力クロックを分周して多相クロックを生成出力する分周器と、入力クロックの周期を検知する周期検知回路と、分周器から出力される多相クロックを入力とし、該クロックを通倍した多相クロックを生成する多相クロック通倍回路と、を備え、多相クロック通倍回路は、二つの入力のタイミング差を分割した信号を出力する複数のタイミング差分割回路と、二つのタイミング差分割回路の出力をそれぞれ多重化して出力する複数の多重化回路とを備え、複数のタイミング差分割回路は、同一位相のクロックを入力とするタイミング差分割回路(インターポレータ)と、相隣る位相の二つのクロックを入力とするタイミング差分割回路を備えて構成される。なお、本発明において、多相クロック生成回路210としては、通信用インターポレータに限定されるものではなく、任意の構成であってよい。本願明細書では、上記特願2000-083579号で提案されている通信用インターポレータの説明の詳細は省略する。

【0008】クロックセレクタ170は、多相クロック生成回路210からの多相クロックP0~Pnのうち、制御回路200から出力される制御信号S(「クロック選択制御信号」という)に基づき、互いに隣合う、奇位

相信号と偶位相信号を対として選択して、インターポレータ130に供給する。

【0009】インターポレータ130は、制御回路200から出力される制御信号Cとその相補信号CBに基づき、二つの入力信号の位相差(タイミング差)を内分した時間で規定される伝搬遅延(propagation delay)時間tpdの信号を出力する。制御信号Cとその相補信号CBは、インターポレータ130の内分比を制御する信号であり、「内分比制御信号」ともいう。

10 【0010】制御回路200は、インターポレータ130に内分比制御信号C/CBを供給する回路として、不図示のシフトレジスタを有する。そして、制御回路200は、不図示の基準クロックとインターポレータ130の出力クロックとの位相を比較する位相比較回路からの出力信号(位相比較結果信号)を受けて、インターポレータ130の出力信号の基準クロックに対する位相の進み/遅れ具合に応じて、位相の進み/遅れを補償すべく、インターポレータ130における、二つの入力のタイミング差の分割値(内分比)を可変させるための内分比制御信号C/CBを出力する。内分比制御信号Cの相補信号である制御信号CBは、制御回路200内で生成するかわりに、制御回路200から出力される制御信号Cのそれぞれを、インバータで反転したものを、信号CBとして、インターポレータ130に供給するようにしてもよい。

30 【0011】また制御回路200は、クロックセレクタ170にクロック選択制御信号Sを供給する回路として、いずれも図示されないカウンタとデコーダ回路を有し、インターポレータ130の内分比の設定が上限又は下限(エンドポイント)に達したことを検出した状態で、なおも、インターポレータ130の出力クロックの基準クロックに対する位相の進み/遅れを調整する必要がある場合には、内分比の設定範囲(レンジ)を別のレンジに切替えるため、位相の進み又は遅れに応じて、クロックセレクタ170に対して出力するクロック選択制御信号Sの設定値を切替える。クロックセレクタ170は、値が切替えられたクロック選択制御信号Sを受けて、インターポレータ130に対して出力するクロック対の組合せを切り替える。

40 【0012】例えば、クロックセレクタ170において、多相クロックP0~Pn(各クロック間の位相差は、 $360^\circ / (n+1)$ )のうちP1とP2の組を選択しており、インターポレータ130の出力信号と基準信号(基準クロック)との位相差から、インターポレータ130の出力信号の位相をさらに進める必要がある場合には、制御回路200からのクロック選択制御信号Sを受けて、クロックセレクタ170は、例えば現在選択しているクロック信号P1よりも一つ前の(ただし、P-1はPnとされる)位相のクロック信号P0と、もと  
50 のクロック信号P1との間の位相差(タイミング差)を

内分するように、クロック出力を切り替えて、インターポレータ130に供給する。一方、インターポレータ130の出力の位相をさらに遅らせる必要がある場合には、制御回路200からの選択制御信号Sを受けて、クロックセクタ170は、現在選択しているクロック信号P2よりも一つ遅れた位相（ただし、 $P_{n+1}$ はP0とされる）のクロック信号P3と、もとの信号P2との間の位相差（タイミング差）を内分するように、クロック信号対を切り替えて、インターポレータ130に供給する制御を行う。

【0013】多相クロックP0～Pnの添え字nを、 $2m-1$ （多相クロックの相数は $2m$ ）とすると、クロックセクタ170は、奇位相クロックP0、P2、P4、…、 $P_{2m-2}$ のうちの一つを、制御回路200からのクロック選択制御信号Sで選択する第1のセクタ（不図示）と、偶位相クロックP1、P3、P5、…、 $P_{2m-1}$ のうちの一つを、制御回路200からのクロック選択制御信号Sで選択する第2のセクタ（不図示）とを備え、インターポレータ130に供給される奇位相、偶位相のクロック出力対の組み合わせとしては、（P0、P1）、（P2、P1）、（P2、P3）、…等、位相が互いに隣合うクロック対となるように、制御回路200が、クロック出力の切り替え制御を行う。

【0014】

【発明が解決しようとする課題】ところで、図14に示すクロック制御回路において、クロックセクタ170に対してクロック選択制御信号Sを供給するカウンタとデコーダ回路を含む制御回路200において、多相クロックの相数が多くなると、デコード回路の回路規模が増大する。デコーダ回路等に工夫が必要であると、本願発明者は認識した。

【0015】制御回路200において、その回路の規模の縮減を図るとともに、ノイズ等のエラー耐性を有する制御回路の実現が必要であることを、本願発明者は認識した。

【0016】したがって、本発明が解決しようとする課題は、回路規模の縮減を図るクロック制御回路を提供することにある。

【0017】

【課題を解決するための手段】上記課題を解決するための手段を提供する本発明は、その一つのアスペクト（aspect）において、カウンタ方向がアップとダウンに切り替え自在とされ、カウンタ値として $2N$ 通りのNビットの信号を出力するとともに、前記Nビットの信号の各ビットを反転してなるNビットの反転信号を出力するリングカウンタと、前記リングカウンタから出力される前記Nビットの信号と前記Nビットの反転信号とからなる $2N$ ビットの信号を入力し、前記 $2N$ ビットの信号に対して、1ビットを反転することで、前記 $2N$ ビットの信号の両端の $2N$ ビット目と1ビット目とが互いに相隣るも

のとして、前記 $2N$ ビットのうちの少なくとも相隣る2つのビットが第1の値とされ、残りのビットが第2の値とされるデコード信号を出力するデコード回路と、互いに位相がずれている複数のクロック信号を入力し、前記デコード回路から出力される前記デコード信号をクロック選択制御信号として入力し、前記複数のクロック信号の中から選択されたクロック信号対を出力するクロックセクタと、前記クロックセクタから出力されるクロック信号対を、第1及び第2の入力端子より入力し、入力される内分比制御信号で設定される内分比にて、前記クロック信号対の位相差を内分した時間に対応した遅延時間のクロック信号を出力端子より出力するインターポレータと、前記インターポレータから出力されるクロック信号と基準クロックとの位相を比較する位相比較回路と、前記位相比較回路から出力される位相比較結果信号を入力し、前記位相比較結果信号と、前記インターポレータの前記第1、第2の入力端子に入力されるクロック信号の位相の順・逆の関係とに基づきシフト方向が可変される、シフトレジスタよりなり、前記インターポレータにおける内分比を設定する前記内分比制御信号を、前記インターポレータに対して供給するインターポレータ制御回路と、を備えている。

【0018】本発明は、別のアスペクト（aspect）において、前記インターポレータ制御回路は、前記インターポレータの内分比が上限値又は下限値（「端部」という）に達した場合、端部であることを示すフラグ信号をアクティブ状態とし、前記インターポレータ制御回路から前記端部であることを示すフラグ信号がアクティブ状態のとき、前記位相比較回路からの位相比較信号に基づき前記リングカウンタに供給するアップ、ダウン信号を生成する回路を備える。

【0019】本発明は、さらに別のアスペクト（aspect）において、前記リングカウンタが、N段のフリップフロップと、前記N段のフリップフロップのそれぞれに対して設けられ、前記各フリップフロップへの入力信号を供給するN個の論理回路と、を備え、前記各論理回路は、アップ、ダウン、及び保持をそれぞれ指示するアップ信号、ダウン信号、及び保持信号と、前記N段のフリップフロップの各出力信号とを入力し、アップカウントの場合、最終段のフリップフロップの出力の反転信号が初段のフリップフロップに対応する論理回路を介して前記初段のフリップフロップに帰還入力され、クロックによるシフト動作時、前記各論理回路を介して、前段のフリップフロップの出力の状態が後段のフリップフロップの入力に伝搬され、ダウンカウントの場合、初段のフリップフロップの出力の反転信号が最終段のフリップフロップに対応する論理回路を介して前記最終段のフリップフロップに帰還入力され、クロックによるシフト動作時、後段のフリップフロップの出力の状態が前段のフリップフロップの入力に伝搬され、保持状態の場合、前記



各論理回路に対応するフリップフロップの出力信号を前記各論理回路に対応するフリップフロップの入力に供給する制御を行う。

【0020】本発明において、デコード回路は、前記Nビットの信号と前記Nビットの各ビットを反転した信号よりなる2Nビット幅の信号のうち、第Iビットと第I+1ビット（ただし、Iは、1、2、～N、なおIが2Nの場合、2N+1は1となる）の信号をそれぞれ入力とする2N個の論理積回路で構成される。

【0021】本発明において、インターポレータ制御回路は、それぞれが、インターポレータの内分比を設定する内分比制御信号を出力する複数の単位回路を有し、前記複数の単位回路のうち一端の前記単位回路の出力がドミノ方式で他端の単位回路の出力として伝搬する、構成とされている。より詳しくは、インターポレータ制御回路は、複数段（M段）のフリップフロップと、前記位相比較回路から出力されるアップ信号とダウン信号と、前記フラグ生成回路から出力される前記フラグ信号の値に基づき、左シフト、右シフト、及び保持の信号を生成する制御信号生成回路と、M個の制御論理回路と、を少なくとも備え、1段目とM段目の両端を除くM-2個の前記各制御論理回路は、前記制御信号生成回路から出力される左シフト、右シフト、及び保持の信号を入力し、Mビットの出力信号のうち、前記各制御論理回路に対応する出力信号と、前記出力信号に相隣る二つの出力信号とを入力し、入力した前記各出力信号の値と、シフト方向とに応じて出力論理値を決定して対応する段のフリップフロップのデータ入力端子に供給し、1段目とM段目の前記制御論理回路は、前記制御信号生成回路から出力される左シフト、右シフト、及び保持の信号を入力し、端部の前記制御論理回路に対応する出力信号と、前記出力信号に相隣る一つの出力信号と、固定電位とを入力し、これらの出力信号と、シフト方向に応じて出力論理値を決定して対応する段のフリップフロップのデータ入力端子に供給し、1段目を除く各段のフリップフロップの出力には、論理和回路がそれぞれ設けられており、前記各論理和回路には、対応する段の前段の出力信号と、対応する段の前記フリップフロップの出力とが入力され、1段目のフリップフロップの出力信号、及び、2段目以降の各段に対応する前記各論理和回路の出力信号が、前記内分比制御信号として、出力される。

【0022】本発明において、前記インターポレータは、第1、第2の入力端子と一つの出力端子を少なくとも有し、前記第1及び第2の入力端子から入力される第1及び第2の入力信号の所定の論理演算結果を出力する論理回路と、第1の電源と内部ノード間に接続され、前記論理回路の出力信号を制御端子に入力とする第1のスイッチ素子と、前記内部ノードに入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に、出力論理値を反転させるバッファ回路と、を備

え、前記内部ノードと第2の電源間には、第1の定電流源と、前記第1の入力信号でオン・オフ制御される第2のスイッチ素子と、前記インターポレータ制御回路からの内分比制御信号でオン・オフ制御される第3のスイッチ素子と、からなる直列回路が、複数個、並列に接続され、前記内部ノードと前記第2の電源間には、第2の定電流源と、前記第2の入力信号でオン・オフ制御される第4のスイッチ素子と、前記インターポレータ制御回路からの内分比制御信号でオン・オフ制御される第5のスイッチ素子と、からなる直列回路が、複数個、並列に接続されている。

【0023】本発明において、前記インターポレータは、前記第1の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第1のスイッチ素子群と、前記内分比制御信号が制御端子にそれぞれ入力され、互いに並列に配置された第2のスイッチ素子群と、を高位側電源と内部ノード間に2段縦積みし、前記内分比制御信号が制御端子にそれぞれ入力され、互いに並列に配置された第4のスイッチ素子群と、前記第2の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第4のスイッチ素子群と、を前記内部ノードと低位側電源間に2段縦積みし、前記第2の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第5のスイッチ素子群と、前記内分比制御信号の相補信号が制御端子にそれぞれ入力され、互いに並列に配置された第6のスイッチ素子群と、を前記高位側電源と前記内部ノード間に2段縦積みし、前記内分比制御信号の相補信号が制御端子にそれぞれ入力され、並列に配置された第7のスイッチ素子群と、前記第2の入力端子からの入力信号又はその反転信号がそれぞれの制御端子に共通に入力され、互いに並列に配置された第8のスイッチ素子群と、を前記内部ノードと前記低位側電源間に2段縦積みし、前記内部ノードと前記低位側電源間には容量が接続され、前記内部ノードに入力端が接続され、前記内部ノードの電位としきい値との大小関係が反転した場合に、出力論理値を反転させるバッファ回路を備えている。以下の説明でも明らかとされるように、上記課題は、特許請求の範囲の各請求項に記載される発明によっても、同様にして、解決される。

【0024】

【発明の実施の形態】本発明の実施の形態について説明する。本発明に係るクロック制御回路は、その好ましい一実施の形態において、アップ信号とダウン信号に基づき、カウント方向を切り替え、Nビットの信号と、前記Nビットの各ビットを反転したNビットの相補信号を出力するリングカウンタ（図1の100）と、リングカウンタ（図1の100）からの2Nビットの出力信号を入力し、2N通りの入力信号のそれぞれに対して、1ビッ



トを反転することで、 $2N$ ビットの信号の両端の $2N$ ビット目と1ビット目とが互いに相隣るものとして、前記 $2N$ ビットのうちの少なくとも相隣る2つのビットが第1の値とされ、残りのビットが第2の値とされる、デコード信号を出力するデコード回路(図1の160)と、等間隔の位相差の複数( $2N$ 個)のクロックを入力し、デコード回路(図1の160)から出力されるデコード信号をクロック選択信号 $S$ として入力し、クロック選択信号 $S$ で選択されたクロック対を出力するクロックセクタ(図1の170)と、クロックセクタ(図1の170)から出力されるクロック対を第1、第2の入力端子より入力し、該クロック対の位相差を内分した時間に対応する遅延時間のクロック信号を出力するインターポレータ(図1の130)と、インターポレータ(図1の130)の第1、第2の入力端子に入力されるクロック信号の位相の順・逆の関係に基づき、シフト方向が可変されるシフトレジスタよりなり、インターポレータ(図1の130)における内分比を設定するインターポレータ制御回路(図1の120)と、を備えている。

【0025】本発明の一実施の形態において、好ましくは、リングカウンタ(図1の100)の $2N$ ビットの出力信号を入力して想定外のボタンであるか比較し、前記想定外のボタンを検出時、これを許容されているボタンに置き換えて出力する想定外救済回路(図1の150、図7(a)参照)を備え、エラー耐性を向上している。

【0026】本発明の一実施の形態において、好ましくは、リングカウンタ(図1の100)の $2N$ ビットの出力信号のボタンに対応した値とされるフラグ信号(JBTFLG)を生成するフラグ生成回路(図1の150、図7(b)参照)を備え、フラグ信号(JBTFLG)がインターポレータ制御回路(図1の120)に入力され、インターポレータ(図1の130)の第1、第2の入力端子に入力されるクロック信号の位相の順・逆の関係を通知する。

【0027】本発明の一実施の形態において、リングカウンタ(図1の100)は、 $N$ 段のフリップフロップ(図6の10、20、30)と、これら $N$ 段のフリップフロップのそれぞれに対して設けられ、各フリップフロップのデータ入力端子への入力信号を供給する $N$ 個の論理回路(図6の11~14、21~24、31~34)と、を備えている。各論理回路(図6の11~14、21~24、31~34)は、アップ、ダウン、及び保持をそれぞれ指示するアップ信号(F\_UP)、ダウン信号(F\_DN)、及び保持信号(図6の一致検出回路40の出力信号)と、 $N$ 段のフリップフロップ(図6の10、20、30)の各出力信号とを入力し、アップカウントの場合、最終段のフリップフロップの出力の反転信号が初段のフリップフロップに対応する論理回路を介して前記初段のフリップフロップに帰還入力され、クロックによるシフト動作時、前記各論理回路を介して、前段

のフリップフロップの出力の状態が後段のフリップフロップの入力に伝搬され、ダウンカウントの場合、初段のフリップフロップの出力の反転信号が最終段のフリップフロップに対応する論理回路を介して前記最終段のフリップフロップに帰還入力され、クロックによるシフト動作時、後段のフリップフロップの出力の状態が前段のフリップフロップの入力に伝搬され、保持状態の場合、前記各論理回路に対応するフリップフロップの出力信号を前記各論理回路に対応するフリップフロップの入力に供給する、制御を行う。

【0028】本発明の一実施の形態において、デコード回路(図1の160)は、 $N$ ビットの信号と $N$ ビットの各ビットを反転した信号よりなる $2N$ ビット幅の信号のうち、第 $I$ ビットと第 $I+1$ ビット(ただし、 $I$ は、1、2、~ $N$ 、なお $I$ が $2N$ の場合、 $2N+1$ は1となる)の信号をそれぞれ入力とする $2N$ 個の論理積(AND)回路で構成される。

【0029】本発明の一実施の形態において、インターポレータ制御回路(図1の120)は、それぞれが、内分比制御信号(C)を出力する複数の単位回路(図9のフリップフロップ1210~1215と、制御論理回路1202~1207)を有し、複数の単位回路のうち一の前記単位回路の出力がドミノ方式で次段の単位回路の出力として伝搬する、構成とされている。すなわち、一つの単位回路から伝搬された信号と、次段の前記単位回路のフリップフロップの出力との論理和(OR)演算結果が、次段の前記単位回路の出力信号として、出力される。

【0030】より詳細には、インターポレータ制御回路(図1の120)は、複数段( $M$ 段)のフリップフロップを備え、インターポレータの出力と基準クロックとの位相を比較する位相比較回路(図1の110)から出力されるアップ信号とダウン信号及び想定外救済及びフラグ生成回路(150)から出力されるフラグ信号(JBTFLG)の値に基づき、左、右シフト、及び保持の信号を生成する制御信号発生回路(図9の1201)と、 $M$ 個の制御論理回路(図9の1202~1207)と、を備え、端部を除く $M-2$ 個の各制御論理回路(図9の1203~1206)は、左シフト、右シフト、及び保持の信号を入力し、対応する出力信号 $C_i$ と、出力信号 $C_i$ に相隣る出力信号 $C_{i-1}$ 、 $C_{i+1}$ を入力し、シフト方向に応じて出力論理値を決定して、対応するフリップフロップのデータ入力端子に供給し、端部の制御論理回路(図9の1202、1207)は、前記左シフト、右シフト、及び保持の信号を入力し、対応する出力信号 $C_i$ と、相隣る一つの出力信号 $C_{i-1}$ 又は $C_{i+1}$ と、固定電位を入力し、シフト方向に応じて出力論理値を決定して、対応するフリップフロップのデータ入力端子に供給する。初段(1段目)を除く各段のフリップフロップの出力には、論理和(OR)回路が設けられており、各論

理和回路には、対応する段の前段の出力信号と、対応する段のフリップフロップの出力とが入力され、1段目のフリップフロップ(図9の1210)の出力信号(C0)、及び、2段目以降の各段に対応する前記各論理和回路の出力信号(C1~C5)が、内分比制御信号として、出力される。

【0031】本発明の一実施の形態において、インターポレータ制御回路(120)は、インターポレータ(130)の内分比が上限値又は下限値(「端部」という)に達した場合、端部であることを示すフラグ信号(ENDFLG)の値をアクティブ状態とする回路(図9の1231、1232)を備えている。

【0032】本発明の一実施の形態において、インターポレータ制御回路(120)から、前記端部であることを示すフラグ信号(ENDFLG)がアクティブ状態のとき、位相比較回路(図1の110)からの位相比較結果信号に基づき、リングカウンタ(図1の100)に供給するアップ、ダウン信号を生成するアップ・ダウン制御回路(図1の140)を備えている。

【0033】本発明の一実施の形態において、インターポレータは、立ち上がり、又は立ち下がりの方のエッジのタイミング差(位相差)を内分する構成として、図13を参照すると、第1及び第2の入力端子からそれぞれ入力される第1及び第2の入力信号の所定の論理演算結果を出力する論理回路(OR01)と、第1の電源と内部ノード(N31)間に接続され、前記論理回路の出力信号を制御端子に入力とする第1のスイッチ素子(MP01)と、内部ノード(N31)に入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に、出力論理値を反転させるバッファ回路(INV03)と、を備え、内部ノード(N31)と第2の電源間には、第1の定電流源と、第1の入力信号でオン・オフ制御される第2のスイッチ素子と、前記インターポレータ制御回路からの内分比制御信号でオン及びオフ制御される第3のスイッチ素子と、からなる直列回路が、複数個、並列に接続され(スイッチ素子MN22とMN21、MN24とMN23、MN26とMN25の各直列回路の並列接続体)、内部ノードと前記第2の電源間には、第2の定電流源と、前記第2の入力信号でオン及びオフ制御される第4のスイッチ素子と、前記インターポレータ制御回路からの内分比制御信号の相補信号でオン及びオフ制御される第5のスイッチ素子と、からなる直列回路が、複数個、並列に接続される(スイッチ素子MN28とMN27、MN30とMN29、MN32とMN31の各直列回路の並列接続体)構成とされる。

【0034】本発明の一実施の形態において、インターポレータは、クロック信号の立ち上がり、立ち下がりの両エッジのタイミング差(位相差)を内分する構成として、図15を参照すると、第1の入力端子からの入力信

号(IN1)又はその反転信号が制御端子に共通入力され、並列に配置された第1のスイッチ素子群(MP20<sub>1</sub>~MP20<sub>n</sub>)と、内分比制御信号(C0~Cn-1)がそれぞれ制御端子に入力され、並列に配置された第2のスイッチ素子群(MP21<sub>1</sub>~MP21<sub>n</sub>)とを高位側電源(VDD)と内部ノード(N101)間に2段縦積みし、第2の入力端子からの入力信号(IN2)又はその反転信号が制御端子に共通入力され、内分比制御信号(C0~Cn-1)がそれぞれ制御端子に入力され、並列に配置された第3のスイッチ素子群(MN21<sub>1</sub>~MN21<sub>n</sub>)と、並列に配置された第4のスイッチ素子群(MN20<sub>1</sub>~MN20<sub>n</sub>)と、を内部ノード(N101)と低位側電源(VSS)間に2段縦積みし、第2の入力端子からの入力信号(IN2)又はその反転信号が制御端子に共通入力され、並列に配置された第5のスイッチ素子群(MP10<sub>1</sub>~MP10<sub>n</sub>)と、内分比制御信号の相補信号(CB0~CBn-1)がそれぞれ制御端子に入力され、並列に配置された第6のスイッチ素子群(MP11<sub>1</sub>~MP11<sub>n</sub>)と、を高位側電源(VDD)と内部ノード(N101)間に2段縦積みし、内分比制御信号の相補信号(CB0~CBn-1)がそれぞれ制御端子に入力され、並列に配置された第7のスイッチ素子群(MN11<sub>1</sub>~MN11<sub>n</sub>)と、第2の入力端子からの入力信号又はその反転信号が制御端子に共通入力され、並列に配置された第8のスイッチ素子群(MN10<sub>1</sub>~MN10<sub>n</sub>)と、を内部ノード(N101)と低位側電源(VSS)間に2段縦積みし、内部ノード(N101)に入力端が接続され、内部ノード(N101)の電位としきい値との大小関係が反転した場合に、出力論理値を反転するバッファ回路(BUF101)を備える。

【0035】本発明の一実施の形態におけるインターポレータにおいて、内部ノードと第2電源(低電位電源)間には、スイッチ素子と容量とからなる直列回路が、複数個、並列に接続され(図13のMN11とCAP11、MN12とCAP12、MN13とCAP13、MN14とCAP14、MN15とCAP15の各直列回路の並列接続体)、スイッチ素子(図13のMN11~MN15)の制御端子に接続される周期制御信号(例えばクロック周期の検知回路等から出力されるか、あるいは手動で設定してもよい)にてスイッチ素子(MN11~MN15)がオン及びオフされ、前記内部ノードに付加する容量値が可変され、これにより、広い周波数範囲のクロック信号の位相調整に対応できる構成としてもよい。

【0036】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。まず、本発明の実施例で用いられるインターポレータの構成の一例について説明しておく。図1



3は、本発明の一実施例で用いられるインターポレータ（図1の130）の構成の一例を示す図である、図13を参照すると、このインターポレータは、第1、第2の入力信号IN1、IN2を入力とする論理和回路OR01と、ソースが電源VDDに接続され、ドレインが内部ノードN31に接続され、論理和回路OR01の出力信号をゲートに入力するPチャンネルMOSトランジスタMP01と、内部ノードN31に入力端が接続され、出力端から出力信号を出力するインバータINV03と、内部ノードN31にドレインが共通接続され、インターポレータ制御回路120からの制御信号C（C0、C1、C2）がそれぞれゲートに接続されオン・オフ制御される第1群のスイッチ素子をなす、NチャンネルMOSトランジスタMN21、MN23、MN25と、NチャンネルMOSトランジスタMN21、MN23、MN25のソースにドレインがそれぞれ接続され、ソースが定電流源I0にそれぞれ接続され、第1の入力信号IN1をゲートに共通に入力するNチャンネルMOSトランジスタMN22、MN24、MN26と、内部ノードN31にドレインが共通接続され、インターポレータ制御回路120からの制御信号CB（CB0、CB1、CB2）がそれぞれゲートに接続されオン・オフ制御されるNチャンネルMOSトランジスタMN27、MN29、MN31と、NチャンネルMOSトランジスタMN27、MN29、MN31のソースにドレインがそれぞれ接続され、ソースが定電流源I0にそれぞれ接続され、第2の入力信号IN2をゲートに共通に入力するNチャンネルMOSトランジスタMN28、MN30、MN32と、を備えている。

【0037】さらに、内部ノードN31とグランド間には、NチャンネルMOSトランジスタよりなるスイッチ素子と容量の直列回路（MN11とCAP11、MN12とCAP12、MN13とCAP13、MN14とCAP14、MN15とCAP15）が並列に接続されており、NチャンネルMOSトランジスタMN11～MN15のゲートに接続する周期制御信号にて、NチャンネルMOSトランジスタMN11～MN15がオン、オフされ、内部ノードN31に付加する容量が決められる。CAP11～15は、容量値がC、2C、4C、8C、16Cとされ、NチャンネルMOSトランジスタMN11～15のゲートに供給される周期制御信号は、不図示の周期検知回路等にて検出されるクロック周期に対応した値が設定される。なお、周期制御信号は、スイッチ等からマニュアル（手動）で設定してもよい。また、内部ノードN31に付加される容量の容量値は固定であってもよい。この場合、インターポレータの構成において、スイッチ素子と容量（MN11とCAP11、MN12とCAP12、MN13とCAP13、MN14とCAP14、MN15とCAP15）の並列回路を省いた構成とされる。

【0038】並列のNチャンネルMOSトランジスタ（MN21、MN23、MN25、MN27、MN29、MN31）の1個のトランジスタに流れる電流（ドレイン電流）はI（定電流源I0の電流値）であり、インバータINV03の出力が反転するしきい値電圧をVとして、しきい値電圧Vまでの電荷の変動量をCVとする。また第1のスイッチ群をなすNチャンネルMOSトランジスタMN21、MN23、MN25のゲートに入力される制御信号C（C0～C2）と、第2のスイッチ群をなすNチャンネルMOSトランジスタMN27、MN29、MN31のゲートに入力される制御信号CB（CB0～CB2）とは相補であるものとする。例えばNチャンネルMOSトランジスタMN21、MN23、MN25のゲートに入力される制御信号Cが、“100”のとき、NチャンネルMOSトランジスタMN27、MN29、MN31のゲートに入力される制御信号CBは、“011”とされる。制御信号CとCBの組合せは、3個並列のスイッチ素子（NMOSトランジスタ）を2組、計6個備える構成の場合、下記のようなものとなる。

【0039】

制御信号C      相補信号CB

"000"            "111"

"001"            "110"

"011"            "100"

"111"            "000"

【0040】入力信号IN1、IN2がともにLowレベルとされ、論理和回路OR01の出力がLowレベルとされ、PチャンネルMOSトランジスタMP01を介して、内部ノードN31は、電源VDD側から充電された状態（したがってインバータINV03の出力はLowレベル）にあるものとする。この状態から、入力信号IN1、IN2がHighレベルに立ち上がる場合の動作について以下に説明する。

【0041】まずインターポレータ130における二つの入力信号IN1、IN2の位相差の内分比が上限値の場合（出力信号の遅延時間が最小）について説明する。制御信号Cは“111”、その相補信号である制御信号CBは“000”とされる。入力信号IN1を共通にゲート入力とするNチャンネルMOSトランジスタMN22、MN24、MN26に接続する第1のスイッチ群をなすNチャンネルMOSトランジスタMN21、MN23、MN25はいずれもオンとされ、入力信号IN2を共通にゲート入力とするNチャンネルMOSトランジスタMN28、MN30、MN32に接続する第2のスイッチ群をなすNチャンネルMOSトランジスタMN27、MN29、MN31はいずれもオフとされる。このため、6並列のNチャンネルMOSトランジスタMN22、MN24、MN26、MN28、MN30、MN32のうち入力信号INを共通にゲートに入力とする3個のNチャンネルMOSトランジスタMN22、MN24、MN26が入力信号I



N1の立ち上がりでオンする。各定電流源の電流をIとして、入力信号IN1がHighレベルになってから、インバータINV03の出力が反転するまでの時間T(3)は、次式(1)で与えられる。

$$[0042] \quad T(3) = CV / (3 \cdot I) \quad \dots(1)$$

[0043] 制御信号Cにより第1のスイッチ群のn個(n<3)がオンとされる場合、すなわち制御信号Cが"011"、"001"、あるいは"000"の場合、入力信号IN1のHighレベルへの遷移タイミングから時間T(ただし、Tは、入力信号IN1とIN2の立ち上がりエッジのタイミング差)の間、入力信号IN1をゲートに共通に入力とするNチャネルMOSトランジスタMN22、MN24、MN26のうち、n個のNチャネルMOSトランジスタがオンし、n・I・Tの電荷が放電され、つづいて、入力信号IN2がHighレベルに遷移することで、入力信号IN2をゲートに共通に入力とするNチャネルMOSトランジスタMN28、MN30、MN32のうち(3-n)個のNチャネルMOSトランジスタがオンし、n+3-n=3、すなわち、全体で、3個のNチャネルMOSトランジスタがオンし、内部ノードN31に残存する電荷(CV-n・I・T)を、(3・I)で放電し、時間(CV-n・I・T)/(3・I)で、インバータINV03の出力が反転する(LowレベルからHighレベルとなる)。

[0044] よって、入力信号IN1がHighレベルになってから、インバータINV03の出力が反転するまでの時間(伝搬遅延時間)T(n)は、次式(2)で与えられる。

[0045]

$$\begin{aligned} T(n) &= T + (CV - n \cdot I \cdot T) / (3 \cdot I) \\ &= CV / (3 \cdot I) - (n/3) T + T \\ &= T(3) + (3-n) / 3 \cdot T \quad \dots(2) \end{aligned}$$

[0046] 上式(2)に示すように、n(n=0、1、2、3)の値(制御信号Cの値)によって、入力信号IN1とIN2のタイミング差Tの3等分を単位に、nで規定される値で内分した時間に対応する遅延時間T(n)の出力信号が得られる。すなわち、制御信号C(CB)の設定により、nを可変することで、入力信号IN1とIN2の間のタイミング差を、分解能1/3で分割(内分)した任意の位相の出力信号が得られる。このようなインターポレータを「3刻みのインターポレータ」ともいう。例えばn=3が内分比の下限(インターポレータの出力信号の遅延時間はT(3)で最小)、n=0が内分比の上限(インターポレータの出力信号の遅延時間はT(3)+Tで最大)とする。

[0047] なお、図13において、3個並列のMOSトランジスタMN21、23、25、3個並列のMOSトランジスタMN27、29、31をそれぞれN個並列とし、N刻みのインターポレータを構成することができる。このとき、nビットが論理1、(N-n)ビットが

論理0の制御信号Cと、その相補信号CBとが、N個の並列の2組のトランジスタ群(トランジスタMN21、23、25と、MN27、29、31に対応する)にそれぞれ入力される場合、入力信号IN1とIN2の時間差をTとして、遅延時間T(n)は、次式(3)で与えられる。

[0048]

$$\begin{aligned} T(n) &= CV / (N \cdot I) - (n/N) T + T \\ &= T(N) + (N-n) / N \cdot T \quad \dots(3) \end{aligned}$$

[0049] 図13に示したインターポレータの回路構成は、入力信号IN1、IN2の立ち上がり遷移のタイミング差Tを内分した時間に対応する遅延時間の出力信号を生成するものであるが、入力信号IN1、IN2の立ち下がり遷移のタイミング差Tを内分した時間に対応する遅延時間の出力信号を生成するインターポレータは、OR回路の代わりに、NAND回路を備え、入力信号IN1、IN2をインバータで反転した信号が、NチャネルMOSトランジスタMN21、MN23、MN25とNチャネルMOSトランジスタMN27、MN29、MN31のゲートに入力される。なお、内部ノードに接続されるインバータINV03は、適用されるアプリケーションの論理に応じて、正転バッファであってもよいことは勿論である。

[0050] 次に、インターポレータに対して入力信号IN1、IN2(図13参照)として供給されるクロック対の位相の順・逆と、内分比制御信号C、CBの関係について説明しておく。

[0051] 前述した通り、例えば図14に示す構成のクロック制御回路において、多相クロックP0~Pnの添え字nを2m-1(多相クロックの相数は2m)とすると、クロックセクタ170は、奇位相クロックP0、P2、P4、…、P2m-2のうちの一つを、制御回路200からのクロック選択制御信号で選択する第1のセクタと、偶位相クロックP1、P3、P5、…、P2m-1のうちの一つを、制御回路200からのクロック選択制御信号Sで選択する第2のセクタと、を備え、位相差を内分するインターポレータ130に供給される奇位相、偶位相のクロック出力対の組み合わせとしては、(P0、P1)、(P2、P1)、(P2、P3)、…等、位相が互いに隣合うクロック対となるように、制御回路200が、クロック出力の切り替え制御を行う。

[0052] 例えばクロックセクタ170で(P0、P1)のクロック信号対(P1はP0よりも時間差T遅れている)を選択しており(インターポレータ130の入力信号IN1とIN2の位相は順(正)の関係にある)、インターポレータ130において、(P0、P1)の時間差Tの内分比を、上式(3)で、n=0としている場合(制御信号Cは、"000…0"とその相補信号CBは"111…1"となる)、さらにインターポレータの出力

信号の位相を遅らせる場合には、クロックセレクタ170で、(P2、P1)のクロック信号対を選択する。この場合、図13において、入力信号IN1には、クロックP0のかわりに、P1よりも位相の遅れたクロックP2が供給され、入力信号IN2には、もとのクロックP1が供給される。すなわち、クロックセレクタ170で(P2、P1)のクロック信号対が選択された場合、インターポレータの第2の入力端子に入力される入力信号IN2(図13参照)の方が、第1の入力端子に入力される入力信号IN1(図13参照)よりも位相がすすんでいる(インターポレータ130の入力信号IN1とIN2の位相は(P0、P1)の場合と逆の関係)。このため、入力信号IN1をゲート入力とするNチャネルMOSトランジスタMN22、MN24、MN26に接続する第1のスイッチ群をなすNチャネルMOSトランジスタMN21、MN23、MN25に供給される制御信号としては、位相の遅れた入力信号に対応する制御信号を供給し、入力信号IN2をゲート入力とするNチャネルMOSトランジスタMN28、MN30、MN32に接続する第2のスイッチ群をなすNチャネルMOSトランジスタMN27、MN29、MN31には位相の進んだ入力信号に対する制御信号を供給する。クロックセレクタ170で(P2、P1)のクロック信号対が選択された場合、制御信号CBの全ビットが論理1(制御信号Cは全ビットが論理0)で、インターポレータ130の内分比の下限(この内分比設定レンジでのインターポレータの出力信号の遅延時間は最小)、制御信号CBの全ビットが論理0(制御信号Cは全ビットが論理1)でインターポレータ130の内分比の上限(この内分比設定レンジでのインターポレータの出力信号の遅延時間は最大)となる。一方、クロックセレクタ170で(P0、P1)のクロック信号対が選択された場合、制御信号Cの全ビットが論理1(制御信号CBは全ビットが論理0)で、インターポレータ130の内分比の下限(インターポレータの出力信号の遅延時間は最小)、制御信号Cの全ビットが論理0(制御信号CBは全ビットが論理1)でインターポレータ130の内分比の上限(この内分比設定レンジでのインターポレータの出力信号の遅延時間は最大)となる。

【0053】クロックセレクタ170でクロック信号対(P2、P1)を選択する場合と、クロック信号対(P0、P1)を選択している場合とでは、インターポレータ130の入力信号IN1、IN2の位相の進み、遅れの関係が入れ替わり、インターポレータ130の内分比を設定するために第1、第2群のスイッチ素子の供給される制御信号C、CBの論理が入れ替わる。クロック対が変更される際に、インターポレータの内分比の制御信号C/CBの設定が交換(スワップ)される。すなわち、インターポレータ130の二つの入力端子とクロックセレクタ170の二つの出力端子の接続は切替えず、

制御回路200では、クロック選択の切換に連動して、この制御信号C、CBの論理の交換を行っている。後述するように、本発明の一実施例においては、フラグ信号JBTLGの値に基づき、インターポレータに内分比制御信号を供給する制御回路での制御信号C/CBの設定論理の交換の制御を行っている。

【0054】図1は、本発明に係るクロック制御回路の一実施例の全体の回路構成を示す図である。図1を参照すると、このクロック制御回路は、基準信号(Ref)とインターポレータ130の出力信号(OUT)の位相差を比較検出する位相比較回路110と、位相比較回路110から出力される位相比較結果信号をなすアップ信号UP、ダウン信号DNを入力し、信号ENDFLGがアクティブのとき、リングカウンタ100に対してアップ信号F\_UP、ダウン信号F\_DNを出力するアップ・ダウン信号制御回路140と、アップ信号F\_UP、ダウン信号F\_DNを入力とするリングカウンタ100と、想定外救済及びフラグ生成回路150と、想定外救済及びフラグ生成回路150の出力を入力し、デコード信号を出力するデコード回路160と、多相クロックを入力とし、一対のクロックを出力するクロックセレクタ170と、インターポレータ130と、位相比較回路110からのアップ信号UP、ダウン信号DNを入力しインターポレータ130の内分比を制御する制御信号Cとその相補信号CB、及び、内分比が端点(上限又は下限)あることを示す信号ENDFLGを出力するインターポレータ制御回路120と、を備えている。アップ・ダウン信号制御回路140は、インターポレータ制御回路120から出力される信号ENDFLGがアクティブ状態であるときに、位相比較回路110からのアップ信号UP、ダウン信号DNを、アップ信号F\_UP、ダウン信号F\_DNとしてリングカウンタ100に出力するゲート制御を行う。

【0055】図1に示す例では、クロックセレクタ170には、図2に示すような6相クロック(CK0~CK5)が供給される。なお、クロックセレクタ170に入力される6相クロックは、基準クロック(Ref)を一旦分周し分周信号を逡倍して多相クロックを生成する逡倍用インターポレータ(特願2000-083579号参照)を用いて生成してもよいし、これ以外にも、PLL回路のVCO出力等、任意の多相クロック生成回路を用いることができる。

【0056】リングカウンタ100は、3ビットの信号(カウンタを構成する3個のフリップフロップの正転出力)と、3ビットの信号を反転した信号(カウンタを構成する3個のフリップフロップの反転出力)を出力する。

【0057】図1において、アップ・ダウン信号制御回路140、リングカウンタ100、想定外救済及びフラグ生成回路150、デコード回路160、インターポレ

ータ制御回路120が、図14の制御回路200を構成している。本実施例において、6相クロックは、任意の構成の多相クロック生成回路（図14の210）を用いて生成される。なお、本発明において、多相クロックとしては、6相クロックに限定されるものでないことは勿論である。

【0058】図12は、図1のクロックセクタ170の構成の一例を示す図である。図12を参照すると、このクロックセクタ170は、6相クロックCK0～CK5のうちの偶位相のクロックCK0、CK2、CK4を入力とし、出力が共通接続されて出力端子CKO1に接続されている3つのトライステートバッファ171、173、175と、6相クロックのうちの奇位相のクロックCK1、CK3、CK5を入力とし、出力が共通接続されて出力端子CKO2に接続されている3つのトライステートバッファ172、174、176と、を備えている。トライステートバッファ171、173、175、172、174、176の出力イネーブル端子には、クロック選択制御信号S0～S5がそれぞれ入力され、クロック選択制御信号の値が例えば論理1のとき、出力イネーブル状態とされ、クロック選択制御信号の値が論理0のとき、出力ディスエーブル（出力はハイインピーダンス状態）とされる。クロックセクタ170からは、偶位相のクロックCK0、CK2、CK4の一つが出力端子CKO1から出力され、偶位相に隣接する位相の奇位相のクロックが出力端子CKO2から出力される。なお、クロックセクタ170は、クロック選択制御信号S0～S5に基づき、クロック対を選択出力するものであればよく、図12に示した構成に限定されるものではない。

【0059】次に、本発明の一実施例におけるデコード回路160の構成について説明する。図4には、2進表示で3ビットで表される6通りの信号から6通りの6ビットの信号（クロック選択制御信号）を生成するデコード回路160の動作が真理値表として示されている。デコード回路160は、リングカウンタ100を構成する3個のフリップフロップから出力される3ビット信号（FF1、2、3）と、その反転信号（FF1、2、3（反転））の計6ビットを入力し、デコード結果信号の6ビット信号S0～S5を生成するものであり、この符号変換は、3ビットとその反転信号の6ビットのうち1ビットのみを反転するだけで、デコード結果信号を得ることができ、回路規模を効率化している。

【0060】図4に示すように、3ビット信号（FF1、2、3）とその反転信号（FF1、2、3（反転））の6ビット入力ボタン“000 111”に対して、デコード結果であるクロック選択制御信号“000110”の場合、6ビット入力ボタンの右端の1ビットを反転するだけでよい。

【0061】次の行の“100 011” → “000011”の場合

（矢印はデコード結果を示す）、6ビット入力ボタンの左端の1ビットを反転するだけでよい。

【0062】第3行の“110 001” → “100001”の場合、6ビット入力ボタンの左から2ビット目を反転するだけでよい。

【0063】第4行の“111 000” → “110000”の場合、6ビット入力ボタンの左から3ビット目を反転するだけでよい。

【0064】第5行の“011 100” → “011000”の場合、6ビット入力ボタンの左から4ビット目を反転するだけでよい。

【0065】同様にして、第6行の“001 110” → “001100”の場合、6ビット入力ボタンの左から5ビット目を反転するだけでよい。

【0066】第7行の“000 111” → “000110”の場合、6ビット入力ボタンの左から6ビット目（右端）を反転するだけでよい。第7行は第1行と同一である。

【0067】図5は、図4に真理値表を示したデコード回路160（図1参照）の構成の一例を示す図である。図5において、FF01、FF02、FF03は、リングカウンタを構成する3段のフリップフロップの正転出力端子Qの出力信号であり、FF01B、FF02B、FF03Bはリングカウンタを構成する3段のフリップフロップの反転出力端子QBの出力信号である。

【0068】図5を参照すると、デコード回路160（図1参照）は、6ビットのクロック選択制御信号（S0、S1、S2、S3、S4、S5）について、例えば、以下の論理構成とされる。

【0069】S0=AND（FF01、FF02）

S1=AND（FF02、FF03）

S2=AND（FF03、FF01B）

S3=AND（FF01B、FF02B）

S4=AND（FF02B、FF03B）

S5=AND（FF03B、FF01）

【0070】すなわち、デコード回路160は、6個の2入力AND回路という簡易な構成とされる。半導体集積回路上で実際の回路構成は、図5に示すように、基本セルをなすNAND回路とインバータINVで構成される。

【0071】I番目の2入力NAND回路は、3ビットの信号（FF01、FF02、FF03）と、反転信号（FF01B、FF02B、FF03B）よりなる6ビット幅の信号（FF01、FF02、FF03、FF01B、FF02B、FF03B）のうち、第Iビットと第I+1ビット（ただし、Iは、1、2、～N、なおIが2Nの場合、2N+1は1となる）の信号をそれぞれ入力とする。

【0072】図6は、本発明の一実施例において、デコード回路（図1の160）の入力端子に供給される3ビットの信号とその反転信号を生成するリングカウンタ100（図1参照）の構成の一例を示す図である。このリ



ングカウンタ100（図1参照）は、アップ信号F<sub>UP</sub>とダウン信号F<sub>DN</sub>とを制御信号として入力し、カウント方向が、アップ又はダウンに切替自在とされており、さらに、アップ信号F<sub>UP</sub>とダウン信号F<sub>DN</sub>がともにアクティブ（又はともにインアクティブ）のとき、保持状態とされる。

【0073】より詳細には、図6を参照すると、このリングカウンタ100は、3つのD型のフリップフロップ10、20、30を備え、フリップフロップ10、20、30の出力（正転出力）からは6通りのバタンの3ビット信号が出力され、フリップフロップ10、20、30の反転出力からは、3ビット信号の反転信号が出力される。

【0074】フリップフロップ10に対して、3つのフリップフロップの10、20、30の出力信号、カウンタのアップ動作を規定するアップ信号F<sub>UP</sub>、カウンタのダウン動作を規定するダウン信号F<sub>DN</sub>、F<sub>UP</sub>とF<sub>DN</sub>の一致を検出する一致検出回路40の出力信号とを入力とし、リングカウンタのアップカウント／ダウンカウント、ホールド（保持）の動作状態を規定する第1の論理回路を備えている。この第1の論理回路は、F<sub>UP</sub>とフリップフロップ30の出力Qの反転を入力とするNAND回路11と、一致検出回路40の出力とフリップフロップ10の出力を入力とするNAND回路12と、フリップフロップ20の出力とF<sub>DN</sub>を入力とするNAND回路13と、NAND回路11～13の出力を入力とするNAND回路14と、を備え、NAND回路14の出力がフリップフロップ10のデータ入力端子Dに供給される。

【0075】フリップフロップ20に対して、3つのフリップフロップの10、20、30の出力信号、カウンタのアップ動作を規定するアップ信号F<sub>UP</sub>、カウンタのダウン動作を規定するダウン信号F<sub>DN</sub>、F<sub>UP</sub>とF<sub>DN</sub>の一致を検出する一致検出回路40の出力信号を入力とし、リングカウンタのアップカウント／ダウンカウント、ホールドの動作状態を規定する第2の論理回路を備えている。この第2の論理回路は、F<sub>UP</sub>とフリップフロップ10の出力Qを入力とするNAND回路21と、一致検出回路40の出力とフリップフロップ20の出力を入力とするNAND回路22と、フリップフロップ30の出力とF<sub>DN</sub>を入力とするNAND回路23と、NAND回路21～23の出力を入力とするNAND回路24と、を備え、NAND回路24の出力がフリップフロップ20のデータ入力端子Dに供給される。

【0076】フリップフロップ30に対して、3つのフリップフロップの10、20、30の出力信号、カウンタのアップ動作を規定するアップ信号F<sub>UP</sub>、カウンタのダウン動作を規定するダウン信号F<sub>DN</sub>、F<sub>UP</sub>とF<sub>DN</sub>の一致を検出する一致検出回路40の出力

を入力とし、リングカウンタのアップカウント／ダウンカウント、ホールドの動作状態を規定する第3の論理回路を備えている。この第3の論理回路は、F<sub>UP</sub>とフリップフロップ20の出力Qを入力とするNAND回路31と、一致検出回路40の出力とフリップフロップ30の出力を入力とするNAND回路32と、フリップフロップ10の出力とF<sub>DN</sub>を入力とするNAND回路33と、NAND回路31～33の出力を入力とするNAND回路34と、を備え、NAND回路34の出力がフリップフロップ30のデータ入力端子Dに供給される。

【0077】図6に示したリングカウンタの動作について説明する。例えば各フリップフロップ10、20、30の出力Qがすべて論理0であり、アップ信号F<sub>UP</sub>が論理1のとき、NAND回路11の出力は論理0となり、NAND回路14の出力は論理1となり、クロックF<sub>CLK</sub>でフリップフロップ10は論理1を出力する。このときフリップフロップ20、30のデータ入力端子Dには論理0とされ、フリップフロップ20、30は論理0を出力し、フリップフロップ10、20、30の正転出力は、"100"となる。

【0078】フリップフロップ10の出力FF01が論理1となった結果、NAND回路21の出力は論理0となり、NAND回路24は論理1を出力する。クロックF<sub>CLK</sub>でフリップフロップ10は論理1を出力する。フリップフロップ10、20、30の正転出力は、"110"となる。

【0079】フリップフロップ20の出力FF02が論理1となった結果、NAND回路31の出力は論理0となり、NAND回路34は論理1を出力する。クロックF<sub>CLK</sub>でフリップフロップ30は論理1を出力する。フリップフロップ10、20、30の正転出力は、"111"となる。

【0080】フリップフロップ30の出力FF03が論理1となった結果、NAND回路11の出力は論理1となり、NAND回路14は論理0を出力する。クロックF<sub>CLK</sub>でフリップフロップ10は論理0を出力する。フリップフロップ10、20、30の正転出力は、"011"となる。

【0081】フリップフロップ10の出力FF01が論理0となった結果、NAND回路21の出力は論理1となり、NAND回路24は論理0を出力する。クロックF<sub>CLK</sub>でフリップフロップ20は論理0を出力する。フリップフロップ10、20、30の正転出力は、"001"となる。

【0082】フリップフロップ20の出力FF02が論理0となった結果、NAND回路31の出力は論理1となり、NAND回路34は論理0を出力する。クロックF<sub>CLK</sub>でフリップフロップ30は論理0を出力する。フリップフロップ10、20、30の正転出力

は、"000"となる。

【0083】信号F<sub>DN</sub>が論理1（F<sub>UP</sub>が論理0）のとき、バタンのシフト方向は、信号F<sub>UP</sub>が論理1のときと逆になる。NAND回路33の出力は論理0となり、NAND回路34が論理1となる。クロックF<sub>CLK</sub>でフリップフロップ30は論理1を出力する。フリップフロップ10、20、30の正転出力は、"001"となる。

【0084】フリップフロップ30の出力FF03が論理1となった結果、NAND回路23の出力は論理0となり、NAND回路24は論理1を出力する。クロックF<sub>CLK</sub>でフリップフロップ20は論理1を出力する。フリップフロップ10、20、30の正転出力は、"011"となる。

【0085】フリップフロップ20の出力FF02が論理1となった結果、NAND回路13の出力は論理0となり、NAND回路14は論理1を出力する。クロックF<sub>CLK</sub>でフリップフロップ10は論理1を出力する。フリップフロップ10、20、30の正転出力は、"111"となる。

【0086】フリップフロップ10の出力FF01が論理1となった結果、NAND回路33の出力は論理1となり、NAND回路34は論理0を出力する。クロックF<sub>CLK</sub>でフリップフロップ30は論理0を出力する。フリップフロップ10、20、30の正転出力は、"110"となる。以下クロックが入力されるたびに、"100"、"000"と推移する。

【0087】信号F<sub>DN</sub>と信号F<sub>UP</sub>の値が一致するとき、XNOR（exclusive NOR）回路よりなる一致検出回路40の出力が論理1となり、NAND回路12、22、32を介して、フリップフロップ10、20、30の正転出力端子Qの値が、フリップフロップ10、20、30のデータ入力端子Dにそれぞれ帰還され、クロックF<sub>CLK</sub>の立ち上がりで、フリップフロップ10、20、30はデータ入力端子Dの信号をサンプル出力するため、フリップフロップ10、20、30は状態を保持する。

【0088】前述したように、図6に示したリングカウンタの3ビット出力ボタン（FF01、FF02、FF03）には、ボタン"010"、"101"は存在しない。ノイズ等により、想定外のボタン"010"、"101"が生じた場合、このボタンを、出現が許可されているボタンのうちのいずれかに設定することで、救済を行っている。

【0089】次に、図1の想定外救済及びフラグ生成回路150について詳細に説明する。想定外救済及びフラグ生成回路150のうちの想定外救済回路は、想定外ボタンの3ビット信号"010"を、"000"に変換し、想定外ボタンの3ビット信号"101"を"111"に変換する（図4参照）。

【0090】図7（a）は、図1の想定外救済及びフラ

グ生成回路150の想定外救済回路の構成の一例を示す図である。図7（a）を参照すると、この想定外救済回路50は、フリップフロップ10の正転出力端子Qの信号をインバータINV1で反転した信号FF01Iと、フリップフロップ20の正転出力端子Qの信号FF02と、フリップフロップ30の正転出力端子Qの信号をインバータINV3で反転した信号FF03Iとを入力とし、これらがすべて論理1のとき、論理0を出力するNAND回路51と、フリップフロップ10の反転出力端子QBの信号をインバータINV2で反転した信号FF01BIと、フリップフロップ20の反転出力端子QBの信号FF02Bと、フリップフロップ30の反転出力端子QBの信号をインバータINV4で反転した信号FF03BIとを入力とし、これらがすべて論理1のとき、論理0を出力するNAND回路52と、フリップフロップ20の出力信号とNAND回路52の出力信号を入力とするNAND回路53と、NAND回路53の出力信号とNAND回路52の出力信号とを入力とし、信号FF02DCを出力するNAND回路54とを備えている。

【0091】次に、この想定外救済回路50の動作について説明する。フリップフロップ10、20、30の正転出力端子Qの3ビット信号が、"010"のとき、NAND回路51は論理0を出力し、NAND回路53は論理1を出力し、NAND回路52の出力である論理1を反転した論理0が、NAND回路54から、FF02DCとして出力される。フリップフロップ10、20、30の正転出力端子Qの3ビット信号が、"101"のとき、NAND回路52の出力は論理0となり、NAND回路54から、FF02DCに論理1が出力される。

【0092】想定外救済回路50を備えた場合、図6に示したリングカウンタにおいて、NAND回路13、NAND回路22、NAND回路31に入力される信号は、FF02の代わりに、想定外救済回路50の出力信号FF02DCが用いられる。

【0093】想定外救済回路50を備えたことで、リングカウンタ100の出力として、想定外のビットボタンが出力された場合でも、これを出現が許可されたビットボタンに置き換えてデコード回路160に供給するため、クロックセレクタ170によるクロック対の選択と、インターポレータ130による位相調整動作を、的確に行うことができる。一方、想定外救済回路50を具備しない場合、想定外のボタンがデコード回路160にそのまま入力されることになり、デコード回路160のデコード結果がいかなるものとなるか保証されない可能性もあることから、位相調整が正しく行えない可能性もある。

【0094】図7（b）は、図1の想定外救済及びフラグ生成回路150のフラグ生成回路の構成を示す図である。図7（b）を参照すると、フラグ生成回路は、フラグ信号JBTLG（インターポレータ制御回路120

に入力される)を生成する。図4に示すように、クロックの選択が切り替わることにより、信号JBTFLGの値は反転する(偶数番目、奇数番目と順に切り替わる)。図7(a)のリングカウンタのフリップフロップ10、20、30の出力信号FF01I、FF02B、FF03Iを入力とするNAND回路55と、FF01I、FF02を入力とするNAND回路56と、FF01B、FF02、FF03Iを入力とするNAND回路57と、NAND回路55、NAND回路56、及びNAND回路57の出力を入力とし入力信号の否定論理積をJBTFLGとして出力するNAND回路58と、を備えている。

【0095】このフラグ生成回路の動作について説明する。フリップフロップ10、20、30の正転出力Qについてみると、"000"、"011"、"110"のとき、それぞれNAND回路55、56、57の出力が論理0となり、JBTFLGの値は論理1となり、フリップフロップ10、20、30の正転出力Qが、"100"、"111"、"001"のとき、JBTFLGの値は論理0となる(図4に示した真理値表参照)。

【0096】図8は、図7(a)に示した想定外救済回路50の出力信号FF02DCと、リングカウンタ100を構成するフリップフロップ10、30の正転出力Qと、反転出力QBをそれぞれインバータで反転した信号FF01I、FF01BI、FF03I、FF03BIを入力とするデコード回路(図1の160)の構成を示す図である。図8を参照すると、このデコード回路は、図5に示した回路構成とは、FF02DCを入力とするNAND3、NAND4の入力端子が反転(負論理)である点が相違している。なお、図7(a)に示すように、リングカウンタを構成するフリップフロップの出力がインバータで反転されていることから、図8のデコード回路の入力端子の信号接続形態の順番は、図5に示したものと相違している。ただし、その論理は、図5に示したものと同一である。

【0097】 $S0 = \text{AND}(FF01BI, FF02DC)$

$S1 = \text{AND}(FF02DC, FF03BI)$

$S2 = \text{AND}(FF03BI, FF01I)$

$S3 = \text{AND}(FF01I, \text{反転}(FF02DC))$

$S4 = \text{AND}(\text{反転}(FF02DC), FF03I)$

$S5 = \text{AND}(FF03I, FF01BI)$

【0098】図9は、図1のインターポレータ制御回路120の構成の一例を示す図である。なお、図1のインターポレータ130が6刻みのインターポレータよりなり、インターポレータ制御回路120は、制御信号C(内分比制御信号)として6ビットの信号をインターポレータ130に供給するものとする。

【0099】図9を参照すると、このインターポレータ制御回路120は、制御信号発生回路1201と、D型フリップフロップ1210~1215と、D型フリップフロップ1210~1215に対応して設けられており、各D型フリップフロップ1210~1215のデー

タ入力端子Dに、それぞれ、出力O1が接続されている制御論理回路1202~1207を備えている。なお、図9において、基本セルをなすNOR回路1221とNOR回路1221の出力端に入力端が接続されているインバータ1222よりなる論理回路は、OR回路として機能する。

【0100】各フリップフロップ1210、1211、1212、1213、1214、1215の出力端子Qはインターポレータ130(6刻みのインターポレータ)の内分比を制御する6本の制御信号C0~C5として出力され、インターポレータ130には、制御信号C0~C5を、それぞれ不図示のインバータで反転した信号制御信号CB0~CB5が、図1の制御信号Cとその相補信号CBとして供給される。

【0101】制御信号発生回路1201は、位相比較回路110からの位相比較結果信号であるSUP(図1のUP)、SDN(図1のDN)、フラグ生成回路150から供給される、選択クロックの組み合わせに対応した信号JBTFLG、及び、信号C0と信号C5とを入力し、右シフト、左シフト、保持を指示する制御信号Right(右)、Left(左)、Hold(保持)を出力する。信号C5が"0"、信号C0が"1"のとき、選択されたクロック対における内分比は、その下限又は上限に達しているため、制御信号Cの生成において、必要とされるリセット動作が行われる。制御信号発生回路1201では、フラグ信号JBTFLGの値が論理1と論理0では、アップ信号(SUP)に対応するシフト方向を相違させる制御を行っており、ダウン信号(SDN)についても、同様とされる。

【0102】制御論理回路1202~1207は、制御信号発生回路1201から出力される制御信号Right、Left、Holdを入力し、さらに自制御論理回路に対応する内分比制御信号と、該内分比制御信号の一方又は両側に隣接する内分比制御信号とを入力し、これらの信号をデコードした結果を、出力端子O1から出力し、対応するD型フリップフロップのデータ入力端子Dに供給する。

【0103】制御論理回路1202~1207は、6つの入力端子I1~I6と一つの入力端子を有し、その構成はいずれも同一とされ、例えば入力端子I1、I2、入力端子I3、I4、入力端子I5、I6にそれぞれ入力が入力が接続された3つの2入力NAND回路と、3つの2入力NAND回路の出力を入力とし出力が出力端子O1に接続されている3入力NAND回路を備えて構成される。

【0104】端部の制御論理回路1202は、制御信号Left、Hold、Rightを入力端子I1、I3、I5にそれぞれ入力し、対応する出力信号C0と、隣接する信号C1を、入力端子I4、I2から出力し、入力端子I6がグランド電位に固定されており、出力端



子01は、対応するD型フリップフロップ1210のデータ入力端子Dに接続されている。

【0105】制御論理回路1203は、制御信号Left、Hold、Rightを入力端子I1、I3、I5にそれぞれ入力し、対応する出力信号（内分比制御信号）C1と、出力信号C1に隣接する出力信号C2、C0を、入力端子I4、I2、I6から入力し、出力端子01は、対応するD型フリップフロップ1211のデータ入力端子Dに接続されている。

【0106】制御論理回路1204、1205、1206は、制御信号Left、Hold、Rightを入力端子I1、I3、I5に入力し、それぞれ、出力信号C2とC2に隣接する出力信号C3、C1、出力信号C3とC3に隣接する信号C2、C4、出力信号C4とC4に隣接する出力信号C3、C5を、入力端子I4、I2、I6から入力し、出力端子01は、それぞれ、対応するD型フリップフロップ1212、1213、1214のデータ入力端子Dに接続されている。

【0107】端部の制御論理回路1207は、制御信号Left、Hold、Rightを入力端子I1、I3、I5に入力し、対応する出力信号C5と、C5の一つ前の信号C4を、入力端子I4、I6から出力し、入力端子I2が電源電位VDDに固定されており、出力端子01は、対応するD型フリップフロップ1215のデータ入力端子Dに接続されている。

【0108】出力信号C0は、フリップフロップ1211の出力とともに、NOR回路1221とインバータ1222からなるOR回路に入力され、インバータ1222から出力信号C1が出力される。

【0109】出力信号C1は、フリップフロップ1212の出力とともに、NOR回路1223とインバータ1224からなるOR回路に入力され、インバータ1224から出力信号C2が出力される。

【0110】出力信号C2は、フリップフロップ1213の出力とともに、NOR回路1225とインバータ1226からなるOR回路に入力され、インバータ1226から出力信号C3が出力される。

【0111】出力信号C3は、フリップフロップ1214の出力とともに、NOR回路1227とインバータ1228からなるOR回路に入力され、インバータ1228から出力信号C4が出力される。

【0112】出力信号C4は、フリップフロップ1215の出力とともに、NOR回路1229とインバータ1230からなるOR回路に入力され、インバータ1230から出力信号C5が出力される。

【0113】インターポレータ130の内分比を可変させる6ビット制御信号C0～C5は"1"連続と"0"連続の組み合わせよりなり、フリップフロップ1210～1215のシフトレジスタで生成される。

【0114】図9の回路の基本動作は、アップ信号、ダ

ウン信号に応じて、制御信号C0～C5における"0"と"1"の境界を右又は左にシフトさせていく。

【0115】制御信号C0～C5（内分比制御信号）は、"1"連続と、"0"連続の信号よりなり、"1"と"0"の境界をシフトさせる構成に加え、"1"を出力する最も高い段のフリップフロップから、より後段のフリップフロップへ、"1"を、ドミノ倒し（将棋倒し）式に伝搬させていく構成により、制御信号を生成している。図9を参照すると、出力信号（内分比制御信号）C0が論理1のとき、この信号C0の値は、OR回路（1221、1222）を介して出力信号C1に伝搬され、さらにOR回路（1223、1224）を介して出力信号C2に伝搬され、同様にして、OR回路（1225、1226）、OR回路（1227、1228）、OR回路（1229、1230）を介して、出力信号C3、C4、C5に伝搬される。かかる構成により、信号C0が論理1であるときは、信号C1、C2、C3、C4、C5も論理1であることを保証している。

【0116】前述したように、多相クロックのクロック選択の組み合わせにより、シフトレジスタのシフト方向が変わる。

【0117】図10は、本発明の一実施例におけるインターポレータ制御回路120（図1、図9等参照）から出力される制御信号Cのバタンの一例を示す図である。図10を参照すると、内分比を制御する信号C0～C5が例えば"000000"の状態、クロックセクタ170のクロック対の選択が行われ、インターポレータ制御回路120では、アップ信号の入力により、制御信号Cを左方にシフトされ（"1"が左に伝搬）、"000001"となる。以下同様にして、インターポレータ制御回路120にアップ信号が入力されると、インターポレータ制御回路120から出力される制御信号C0～C5は、"011111"から"111111"に変化し、なおも、インターポレータ制御回路120にアップ信号が入力された場合には、インターポレータ制御回路120の内分比がその下限又は上限（端部）にあることから、内分比のレンジの切替え、すなわち、クロックセクタ170でのクロック対の切替えが行われる。このとき、フラグJBTF LGの値も切替わる。

【0118】この場合、切替えられたレンジで、さらに、インターポレータ制御回路120にアップ信号が入力された場合、インターポレータ制御回路120では、制御信号C0～C5を、"111111"から、"011111"、"001111"、…、"000001"、"000000"と変化させる。すなわち制御信号Cにおける"0"と"1"の境界は右にシフトする。このときのフラグJBTF LGの値は、アップ信号で左シフトした場合のフラグJBTF LGの値の相補値とされる。そして、インターポレータ制御回路120において、出力する制御信号Cが端部"000000"にあり、さらにアップ信号が入力されると、内分比のレンジのさら

なる切替え、すなわちクロックの切替が行われる。

【0119】図10を参照して説明したシフト方向の切替え制御を、インターポレータ制御回路120の制御信号発生回路1201、制御論理回路1202～1207（図9参照）で行っている。すなわち、フラグJBTF LGの値により、アップ信号（S\_UP）とダウン信号（S\_DN）による、シフトレジスタ（1210～1215）のシフト方向（右シフト、左シフト）は逆となり、制御信号発生回路1201では、信号C0、C5と、フラグJBTF LG、アップ信号（S\_UP）とダウン信号（S\_DN）に基づき、シフトレジスタのシフト方向を制御する信号を出力する。また、制御信号発生回路1201は、アップ信号（S\_UP）とダウン信号（S\_DN）がともに論理1である場合には、保持信号（Hold）を論理1とする。

【0120】インターポレータ制御回路120が生成するENDFLGは、制御信号Cが、端部（内分比の下限、上限）であるか、否かを示す信号であり、リングカウンタ100へのアップ、ダウン信号を生成するアップ・ダウン信号制御回路140に、出力イネーブル信号（ゲート信号）として供給される。アップ・ダウン信号制御回路140は、ENDFLGが論理1のとき、リングカウンタ100へアップ、ダウン信号を出力する。

【0121】インターポレータ制御回路120において、NOR回路1231とインバータ1232からなるOR回路は、出力信号C0と、出力信号C5（反転）とを入力とし、フラグENDFLGを出力している。出力信号C0（最下位ビット）が論理1（"1"）のとき、フラグENDFLGは論理1となり、また出力信号C5（最上位ビット）が論理0（"0"）のとき、フラグENDFLGは論理1となる。すなわち、出力信号C0が論理1のとき、出力信号C0～C5はいずれも論理1であり、また、出力信号C5が論理0のとき制御信号C1～C5はいずれも論理0であり、いずれの場合も、インターポレータ130の内分比の設定値の端部（下限又は上限）に対応しており、フラグENDFLGは論理1とされる。

【0122】例えば図3に示したタイミング図を参照して説明すると、クロックセクタ170（図1参照）の出力CK01、CK02として、多相クロックのうちクロック対（CK0、CK1）（CK01の方が位相が進んでいる）が選択されており（JBTF LGは論理0）、つづいて、クロックの切替により、クロック対（CK2、CK1）が選択された場合、CK02の方が位相が進んでおり、JBTF LGは論理1とされる。

【0123】図1のインターポレータ130に、入力信号IN1、IN2（図13参照）として入力されるクロック信号（CK2、CK3）のうち、先に立ち上がる信号（CK2）を入力とするトランジスタ（例えば図13の入力信号IN1をゲート入力とするトランジスタMN22～M

N26参照）に接続される第1のスイッチ群（例えば図13のトランジスタMN21～MN25参照）に供給される制御信号C0～C5が、"000000"から"000001"、"000011"、"000111"、～"111111"となると、インターポレータ130の出力信号の遅延時間は、

$$T(n) = CV / (N \cdot I) - (n/N) T + T \\ = T(N) + (N-n) / N \cdot T \quad \cdots (4)$$

より、

$$T(6) + T, \\ T(6) + (5/6) T, \\ T(6) + (4/6) T, \\ T(6) + (3/6) T, \\ T(6) + (2/6) T, \\ T(6) + (1/6) T, \\ T(6)$$

と短くなる。

【0124】制御信号C0～C5が、"111111"のとき、インターポレータ130の内分比の端部であることから、インターポレータ制御回路120において、フラグENDFLGが論理1とされ、位相比較回路110からのアップ信号がリングカウンタ100に伝達されて、デコード回路160でデコードされ、クロックセクタ170により、クロック対の切替が行われ、クロック信号（CK2、CK1）が選択出力される。

【0125】この場合、インターポレータ140に入力される2つの信号のうち先に立ち上がる入力信号が切替わり（図13の入力信号IN2として入力されるクロックCK1）、この信号を入力とするトランジスタ（図13の入力信号IN2をゲート入力とするトランジスタMN28～MN32参照）に接続される第2のスイッチ群（図13のトランジスタMN27～MN31参照）は、内分比制御信号Cの相補信号CBによって制御される。

【0126】なおも、アップ信号がインターポレータ制御回路120に入力されると、内分比制御信号C0～C5は、"011111"と、"0"と"1"の境界が右にシフトされ、その相補信号である制御信号CB0～CB5は"100000"とされ、さらなるアップ信号の入力により、内分比制御信号C0～C5は"001111、～"000001"となり、CBは"110000"、～"111110"となり、インターポレータ130の出力信号OUTの入力信号IN2の立ち上がり遷移からの遅延時間は、

$$T(6) + T, \\ T(6) + (5/6) T, \\ T(6) + (4/6) T, \\ T(6) + (3/6) T, \\ T(6) + (2/6) T, \\ T(6) + (1/6) T, \\ T(6)$$

と短くなる。

【0127】図9に示すインターポレータ制御回路12

10

20

30

40

50

0において、出力信号（内分比制御信号）C0～C5がすべて論理0の場合において、制御信号Leftが論理1のとき（左シフト時）、制御論理回路1207の出力は論理1となり、フリップフロップ1215のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1229とインバータ1230の遅延時間後、出力信号C5は論理1となる。

【0128】左シフト時、この出力信号C5を端子I2に inputsする制御論理回路1206の出力は論理1となり、フリップフロップ1214のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1227とインバータ1280の遅延時間後、出力信号C4は論理1となる。

【0129】左シフト時、この出力信号C4を端子I2に inputsする制御論理回路1205の出力は論理1となり、フリップフロップ1213のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1225とインバータ1226の遅延時間後、出力信号C3は論理1となる。

【0130】左シフト時、この出力信号C3を端子I2に inputsする制御論理回路1204の出力は論理1となり、フリップフロップ1212のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1223とインバータ1224の遅延時間後、出力信号C2は論理1となる。

【0131】左シフト時、この出力信号C2を端子I2に inputsする制御論理回路1203の出力は論理1となり、フリップフロップ1211のデータ入力端子Dに供給され、クロックS\_CLK立ち上がりを受けて、NOR回路1221とインバータ1222の遅延時間後、出力信号C1は論理1となる。

【0132】左シフト時、この出力信号C1を端子I2に inputsする制御論理回路1202の出力は論理1となり、フリップフロップ1210のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、出力信号C0は論理1となる。制御信号C0が論理1のとき、出力信号C1～C5はすべて論理1となる。

【0133】出力信号C0～C5がすべて論理1の場合において、制御信号Rightが論理1のとき（右シフト）、制御論理回路1202の出力は論理0となり、フリップフロップ1210のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、出力信号C0は論理0となる。

【0134】右シフト時（"0"/"1"の境界が右にシフトする場合）、出力信号C0を端子I6に inputsする制御論理回路1203の出力は論理0となり、フリップフロップ1211のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1221とインバータ1222の遅延時間後、出力信号C1は論理0となる。

【0135】右シフト時、この出力信号C1を端子I6に inputsする制御論理回路1204の出力は論理0となり、フリップフロップ1212のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1223とインバータ1224の遅延時間後、出力信号C2は論理0となる。

【0136】右シフト時、この出力信号C2を端子I6に inputsする制御論理回路1205の出力は論理0となり、フリップフロップ1213のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1225とインバータ1226の遅延時間後、出力信号C3は論理0となる。

【0137】右シフト時、この出力信号C3を端子I6に inputsする制御論理回路1206の出力は論理0となり、フリップフロップ1214のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1227とインバータ1228の遅延時間後、出力信号C4は論理0となる。

【0138】右シフト時、この出力信号C4を端子I6に inputsする制御論理回路1207の出力は論理0となり、フリップフロップ1215のデータ入力端子Dに供給され、クロックS\_CLKの立ち上がりを受けて、NOR回路1229とインバータ1230の遅延時間後、出力信号C5は論理0となる。

【0139】フリップフロップ1210～1215の出力をそれぞれ端子I4に inputsし、保持信号Holdを端子I3に inputsとする回路1202～1207は、保持信号Holdが論理1のとき、フリップフロップ1210～1215の出力をそれぞれ出力する。

【0140】図11は、比較例として、カウンタをリングカウンタではなくバイナリカウンタ105を用いた構成を示す図である。バイナリカウンタで0～5までをカウントすると、

"000"、

"001"、

"010"、

"011"、

"100"、

"101"と、カウントアップ/ダウン時、2ビット同時に変化する場合がある。このため、デコード回路165において、2ビット同時変化時に、遅延等により発生し得るノイズ対策のために、デコード回路165の出力S0～S5を、ラッチ回路180でリタイミングして、クロックセレクタ170に選択信号として供給している。

【0141】これに対して、本発明において、デコード回路160に inputsされる6ビットの信号の変化時には、1ビットしか変化せず、図11に示すようなラッチ回路は不要とされる。

【0142】またバイナリカウンタ105の3ビット出力をデコードして6ビットデータを生成するデコード回



路165は、リングカウンタを用いた回路よりも、回路規模が増大する。

【0143】なお、インターポレータ制御回路120

(図9参照)のフリップフロップ1210~1215に供給するクロックS\_CLKと、リングカウンタ100(図6)のフリップフロップに供給するクロックF\_CLKは、例えば入力クロック(基準クロック)から生成してもよい。フリップフロップ1210~1215に供給するクロックS\_CLKの立ち上がりのタイミングは、出力信号C0~C5の切替えのタイミングが、インターポレータ130に入力されるクロック信号の遷移タイミングと重ならないタイミングに設定される。

【0144】図15は、本発明に係るクロック制御回路の実施例で用いられるインターポレータ130(図1参照)の別の構成の一例を示す図である。図15におい

て、n本の信号C0~Cn-1は、インターポレータ制御回路120(図1参照)からインターポレータ130に供給される内分比制御信号であり、またn本のCB0~CBn-1は、内分比制御信号C0~Cn-1の相補信号である(なお、C0~Cn-1、CB0~CBn-1は、図1のC/CBに対応する)。図15を参照すると、このインターポレータは、高位側電源VDDにソースが共通に接続され、インターポレータの第2の入力端子からの入力信号IN2をインバータINV102で反転した信号をゲートに共通に入力するn個のPチャネルMOSトランジスタMP101~MP10nと、PチャネルMOSトランジスタMP101~MP10nのドレインにソースが接続され、内分比制御信号(相補信号)CB0~CBn-1をそれぞれゲートに入力し、ドレインが内部ノード(「共通ノード」ともいう)N101に接続されているn個のPチャネルMOSトランジスタMP111~MP11nと、内部ノードN101にドレインが共通に接続され、内分比制御信号(相補信号)CB0~CBn-1をそれぞれゲートに入力するn個のNチャネルMOSトランジスタMN111~MN11nと、NチャネルMOSトランジスタMN111~MN11nのソースにドレインがそれぞれ接続され、インターポレータの第1の入力端子からの入力信号IN1をインバータINV101で反転した信号をゲートに共通に入力し、ソースが低位側電源VSSに共通に接続されているn個のNチャネルMOSトランジスタMN101~MN10nと、を備えている。

【0145】このインターポレータは、さらに、高位側電源VDDにソースが共通に接続され、入力信号IN1をインバータINV101で反転した信号をゲートに共通に入力するn個のPチャネルMOSトランジスタMP201~MP20nと、PチャネルMOSトランジスタMP201~MP20nのドレインにソースが接続され、内分比制御信号CB~Cn-1をそれぞれゲートに入力し、ドレインが内部ノード(「共通ノード」ともい

う)N101に接続されているn個のPチャネルMOSトランジスタMP211~MP21nと、内部ノードN101にドレインが共通に接続され、内分比制御信号C0~Cn-1をそれぞれゲートに入力するn個のNチャネルMOSトランジスタMN211~MN21nと、NチャネルMOSトランジスタMN211~MN21nのソースにドレインがそれぞれ接続され、入力信号IN2をインバータINV102で反転した信号をゲートに共通に入力し、ソースが低位側電源VSSに共通接続されているn個のNチャネルMOSトランジスタMN201~MN20nと、を備えている。共通ノードN101は、バッファBUF101の入力端に接続され、バッファBUF101の出力端は出力端子VOUTに接続され、出力端子VOUTから、インターポレータの出力信号が出力される。

【0146】バッファBUF101の入力端(したがって共通ノードN101)と低位側電源VSS間には、容量とスイッチの並列回路からなる容量・スイッチC101を備えている。この容量・スイッチC101は、図13に示したように、NチャネルMOSトランジスタよりなるスイッチ素子と容量の直列回路(MN11とCAP11、MN12とCAP12、MN13とCAP13、MN14とCAP14、MN15とCAP15)が並列に接続されており、NチャネルMOSトランジスタMN11~MN15のゲートに接続される周期制御信号の論理値にて、NチャネルMOSトランジスタMN11~MN15がオン、オフされ、内部ノードN31に付加する容量が決められる。容量・スイッチC101として固定容量を用いてもよいことは勿論である。

【0147】次に図15に示したインターポレータの動作について説明する。インターポレータに入力される2つの入力信号IN1、IN2がHighレベルからLowレベルに遷移するとき、NチャネルMOSトランジスタ側がインターポレータとして動作する。以下では、単に、説明の都合で、入力信号IN2が入力信号IN1よりも先に立ち上がり遷移、立ち下がり遷移するものとするが、入力信号IN1の方が先に遷移する場合も、前述したように、内分比制御信号C0~Cn-1、CB0~CBn-1の設定を入れ替えるだけで同様に動作する。

【0148】内分比制御信号C0~Cn-1のうちHighレベルに設定されている信号の数を(n-K)個(K≤n)とすると、内分比制御信号(相補信号)CB0~CBn-1のうちK個がHighレベルとされる。ゲートに内分比制御信号C0~Cn-1が接続されるn個のNチャネルMOSトランジスタMN211~21nのうち、(n-K)個のMOSトランジスタのゲートがHighレベルとされる。またゲートに内分比制御信号CB0~CBn-1が接続されるn個のNチャネルMOSトランジスタMN111~11nのうちK個のMOSトランジスタのゲートがHighレベルとされる。入力

信号IN2と入力信号IN1の立ち下りの時間差を $T_f$ とする。

【0149】内分比制御信号C0~Cn-1のうちHighレベルに設定されている信号の数を $(n-K)$ 個がHighレベルであるため、入力信号IN2がHighレベルからLowレベルとなると、入力信号IN2の反転信号をゲートに入力する $n$ 個のNチャンネルMOSトランジスタMN20<sub>1</sub>~20<sub>n</sub>のうち $(n-K)$ 個がオンし、このとき、一つのNチャンネルMOSトランジスタのドレイン電流を $I$ とすると、電流値 $(n-K) \times I$ で、共通ノードN101に接続される容量(C101の容量)の蓄積電荷を放電する。つづいて、時間差 $T_f$ 後に、入力信号IN1がHighレベルからLowレベルとなると、相補信号CB0~CBn-1のうち $K$ 個がHighレベルとされているため、入力信号IN1の反転信号をゲートに入力とするNチャンネルMOSトランジスタMN10<sub>1</sub>~10<sub>n</sub>のうち $K$ 個がオンし、電流 $K \times I$ で共通ノードN101に接続される容量(C101の容量)の蓄積電荷を放電する。

【0150】共通ノードN101の電位を入力端に入力とするバッファBUF101の出力を反転させるために、放電すべき電荷を $CV$ (ただし、 $C$ は容量・スイッチC101の容量値)とすると、入力信号IN2がHighレベルからLowレベルに移ったとき、 $(n-K)$ 個のトランジスタMN20<sub>1</sub>~MN20<sub>n-k</sub>を介して電流値 $I$ で時間 $T_f$ 放電したときの、容量(C101の容量)の残留する電荷は、 $CV - (n-K) \times I \times T_f$ であり、つづいて、電流 $K \times I$ で放電するため、入力信号IN2がHighレベルからLowレベルに移してから、出力端子OUTの出力信号がHighレベルからLowレベルに反転する遅延時間(伝搬遅延時間)は、

$$(CV - (n-K) \times I \times T_f) / (K \times I)$$

で与えられる。なお、図15に示したインターポレータを、入力信号IN1、IN2の立ち下りで、出力端子OUTの出力信号が立ち上がる論理とする場合、バッファBUF101は、一段のインバータ(反転回路)で構成される。

【0151】一方、入力信号IN1、IN2がLowレベルからHighレベルに移るとき、PチャンネルMOSトランジスタ側がインターポレータとして動作する。相補信号CB0~CBn-1のうち $K$ 個がHighレベルとされ、 $(n-K)$ 個はLowレベルであるため、PチャンネルMOSトランジスタMP11<sub>1</sub>~MP11<sub>n</sub>のうち $(n-K)$ 個がオンに設定される。内分比制御信号C0~Cn-1のうち $(n-K)$ 個がHighレベルとされ、 $K$ 個はLowレベルであるため、PチャンネルMOSトランジスタMP21<sub>1</sub>~MP21<sub>n</sub>のうち $K$ 個がオンに設定される。入力信号IN2、IN1の立ち上がりの時間差を $T_r$ とする。

【0152】入力信号IN2がLowレベルからHighレベルとなると、入力信号IN2の反転信号をゲートに入力とする、PチャンネルMOSトランジスタMP10<sub>1</sub>~MP10<sub>n</sub>のうち $(n-K)$ 個のPチャンネルMOSトランジスタMP10がオンし、電流 $(n-K) \times I$ で共通ノードN101の電荷を充電する。時間(位相差) $T_r$ 後に、入力信号IN1がLowレベルからHighレベルとなると、入力信号IN1の反転信号をゲートに共通入力するPチャンネルMOSトランジスタMP20<sub>1</sub>~MP20<sub>n</sub>のうち $K$ 個がオンし、電流 $K \times I$ で共通ノードN101を充電する。共通ノードN101の電位を入力とするバッファBUF101の出力を反転させるための電荷を $CV_{TH}$ とすると、入力信号IN2がLowレベルからHighレベルに移ったとき、PチャンネルMOSトランジスタMP20<sub>1</sub>~20<sub>n</sub>の $(n-K)$ 個を介して電流値 $I$ で時間 $T_r$ 充電したときの電荷は $(n-K) \times I \times T_r$ であり、つづいて電流 $K \times I$ で充電するため、入力信号IN2がLowレベルからHighレベルに移してから出力信号がLowレベルからHighレベルに反転する遅延時間(伝搬遅延時間)は、 $(CV_{TH} - (n-K) \times I \times T_r) / K \times I$ で与えられる。

【0153】このインターポレータにおいては、入力信号がLowレベルからHighレベルに移るとき、PチャンネルMOSトランジスタ側が動作し、HighレベルからLowレベルに移るときは、NチャンネルMOSトランジスタ側が動作する構成とされ、入力信号の遷移における、電源VDDからグラウンド(VSS)側へ流れる貫通電流を抑制している。

【0154】このように、図15に示したインターポレータは、入力信号の立ち上がりと立ち下りの両エッジ(ダブルエッジ)のそれぞれについて位相差(遷移エッジのタイミング差)を内分した時間で規定される遅延時間で遷移する信号を出力する。すなわち、図15に示したインターポレータは、入力信号IN1、IN2の立ち上がりの時間差を内分した時間で規定される遅延時間で立ち上がる出力信号、入力信号IN1、IN2の立ち下りの時間差を内分した時間で規定される遅延時間で立ち下がる出力信号を出力する。なお、アプリケーションの論理に応じて、入力信号IN1、IN2をインバータで反転せず、そのまま、各トランジスタのゲートに入力する構成としてもよい。この場合、入力信号IN1、IN2の立ち上がりでNMOSがオンし、入力信号IN1、IN2の立ち下りでPMOS側がオンする。

【0155】上記実施例では、インターポレータ130を一つ備えた構成について説明したが、アプリケーションによっては、複数のインターポレータを並列配置し、クロックセレクト170で、複数組のクロック信号対を選択して、複数のインターポレータに供給してもよいし、複数のインターポレータをトリプル構成とし、位相の微調整を行う構成としてもよい。また位相比較回路11

0から出力される位相比較結果信号を、デジタルフィルタ等のフィルタ回路で平滑化（時間平均）したものを、インターポレータ制御回路、アップ・ダウン信号制御回路に供給する構成としてもよい。

【0156】本発明に係るクロック制御装置は、半導体集積回路装置において、内部回路に供給するクロック

（内部クロック）を生成するクロック制御回路に用いて好適とされる。さらに、本発明によれば、M刻みのインターポレータにより、例えばナノ秒を下回る分解能（100ピコあるいは10ピコ秒等のサブナノセカンドオーダー）でクロックの遷移タイミングを調整することができ、クロックデータリカバリ回路、電子機器のクロックを供給するクロック発生回路、あるいは、LSIテスト等のクロック生成器等に用いても好適とされる。

【0157】以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0158】

【発明の効果】以上説明したように、本発明によれば、クロック対を選択するための信号を生成する回路として、リングカウンタの出力とその反転出力をデコードする回路構成としたことにより、クロック制御回路の回路規模を縮減しており、集積化に好適とされる。

【0159】また本発明によれば、リングカウンタの出力とその反転信号のボタンを用いることにより、カウンタの出力の変化時に一つのビットしか変化せず、ノイズ等の対策が不要とされ、高信頼性を図るとともに、回路規模を縮減する、という効果を奏する。そして、本発明によれば、想定外のボタンを救済する回路を備えたことにより、位相調整動作を確実に行うことができる。

【0160】また、本発明によれば、インターポレータの内分比を制御するインターポレータ制御回路のシフトレジスタをドミノ方式で構成しており、所定の信号ボタンの出力を保証している。

【0161】さらに、本発明によれば、インターポレータ制御回路の出力のうち最上位ビットの出力が論理0の場合、すべての出力が論理0、最下位ビットの出力が論理1の場合、すべての出力が論理1であり、これらの信号から、内分比の下限、上限を判別しており、かかる簡易な構成により、クロックの切替えをゲート制御するための制御信号を生成することができ、回路規模の縮減に貢献する。

【図面の簡単な説明】

【図1】本発明の一実施例のクロック制御回路の構成を示す図である。

【図2】本発明の一実施例のクロック制御回路における多相クロックの波形を示す図である。

【図3】本発明の一実施例のクロック制御回路のタイミ

ング動作を示す図である。

【図4】本発明の一実施例におけるデコード回路の動作を説明するための真理値表である。

【図5】本発明の一実施例におけるデコード回路の構成の一例を示す図である。

【図6】本発明の一実施例におけるリングカウンタの構成の一例を示す図である。

【図7】（a）は、本発明の一実施例における想定外救済回路の構成の一例を示す図である。（b）はフラグ生成回路の構成の一例を示す図である。

【図8】本発明の一実施例におけるデコード回路の構成の一例を示す図である。

【図9】本発明の一実施例におけるインターポレータ制御回路の構成の一例を示す図である。

【図10】本発明の一実施例におけるインターポレータ制御回路から出力される制御信号のボタンの一例を示す図である。

【図11】比較例としてバイナリカウンタの備えたクロック制御回路の構成を示す図である。

【図12】本発明の一実施例におけるクロックセレクタの構成の一例を示す図である。

【図13】本発明の一実施例におけるインターポレータの構成の一例を示す図である。

【図14】本発明で用いられるインターポレータを用いたクロック制御回路の構成の一例を示す図である。

【図15】本発明の他の実施例のインターポレータの構成の一例を示す図である。

【図16】従来のクロック制御回路の構成の一例を示す図である。

【符号の説明】

- 10、20、30 D型のフリップフロップ
- 11～14、21～24、31～34、51～54、55から58 否定論理積（NAND）回路
- 40 一致検出回路（排他的否定論理和回路）
- 50 想定外救済回路
- 100 3ビットリングカウンタ
- 105 バイナリカウンタ
- 110 位相比較回路
- 120 インターポレータ制御回路
- 130 インターポレータ
- 140 アップ、ダウン信号制御回路
- 150 想定外救済及びフラグ生成回路
- 160、165 デコード回路
- 170 クロックセレクタ
- 171～176 トライステートバッファ
- 180 ラッチ
- 200 制御回路
- 210 多相クロック生成回路
- 1201 制御信号発生回路
- 1202～1207 制御論理回路



1210~1215 フリップフロップ

\*1510 PLL

1221、1223、1225、1227、1229、

1520 スイッチ

1231 NOR

1530 アナログインターポレータ

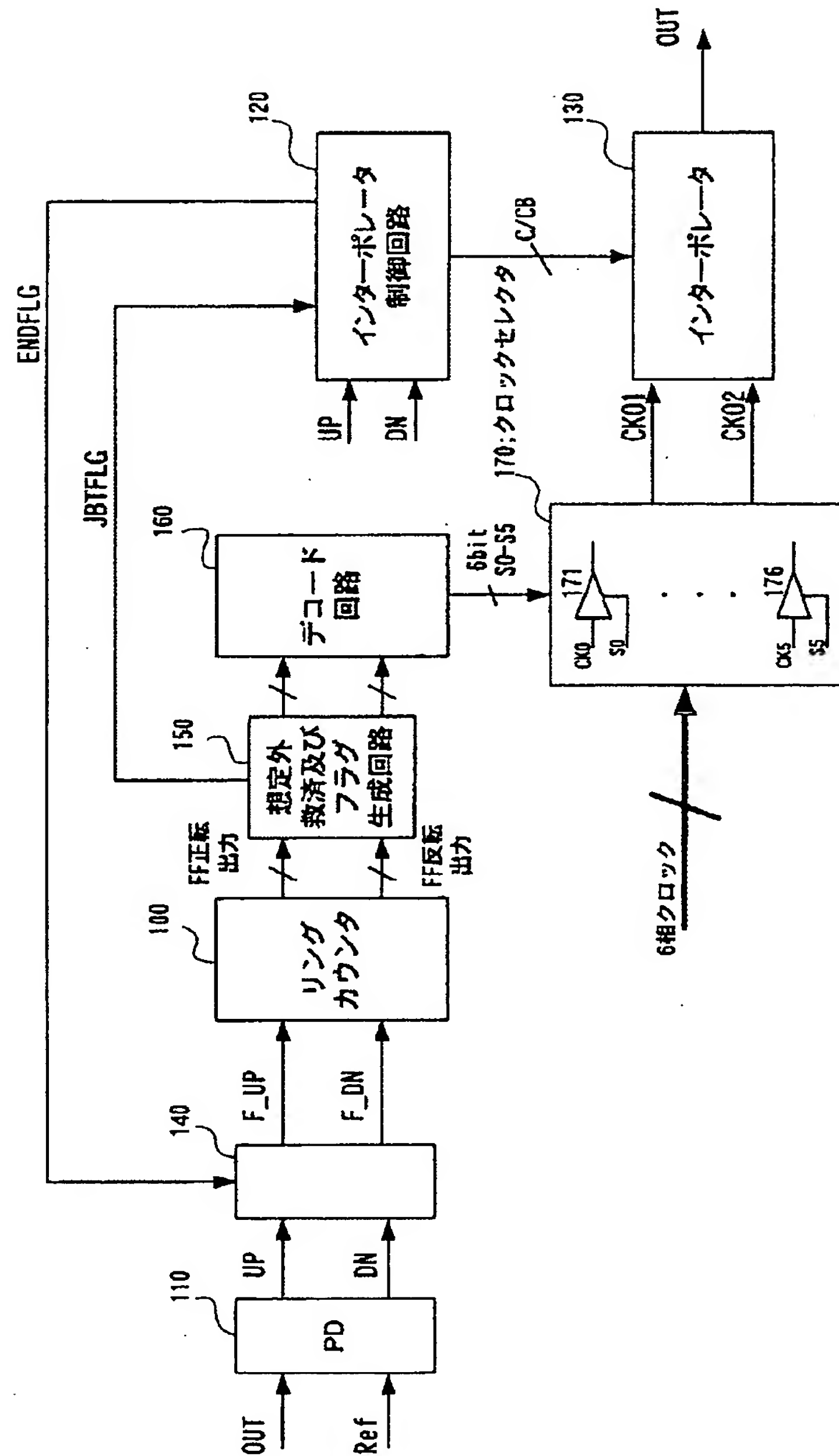
1222、1224、1226、1228、1230、

1540 制御回路

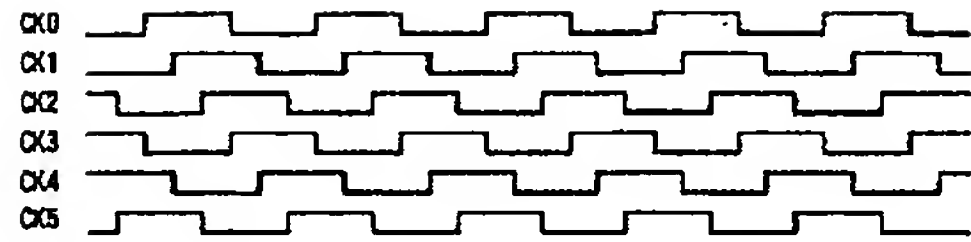
1232 インバータ

\*

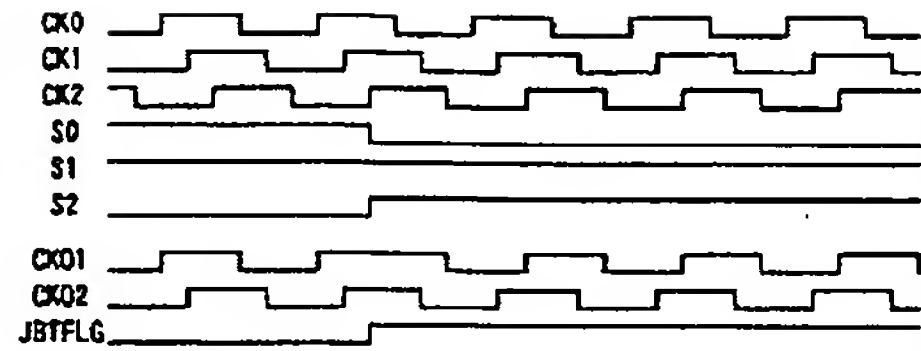
【図1】



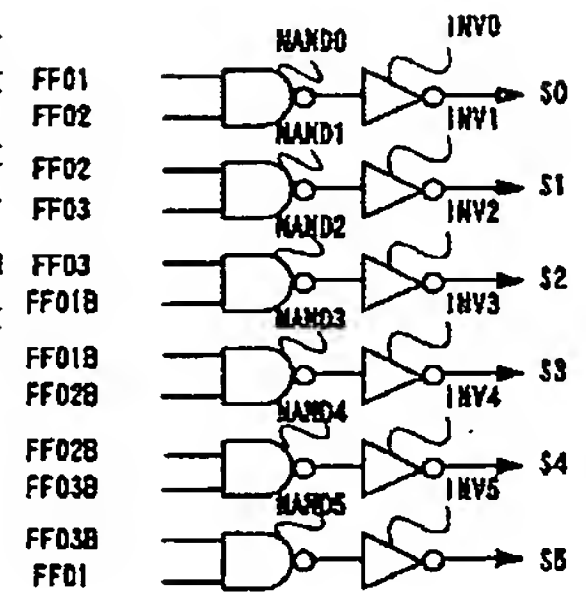
【図2】



【図3】



【図5】

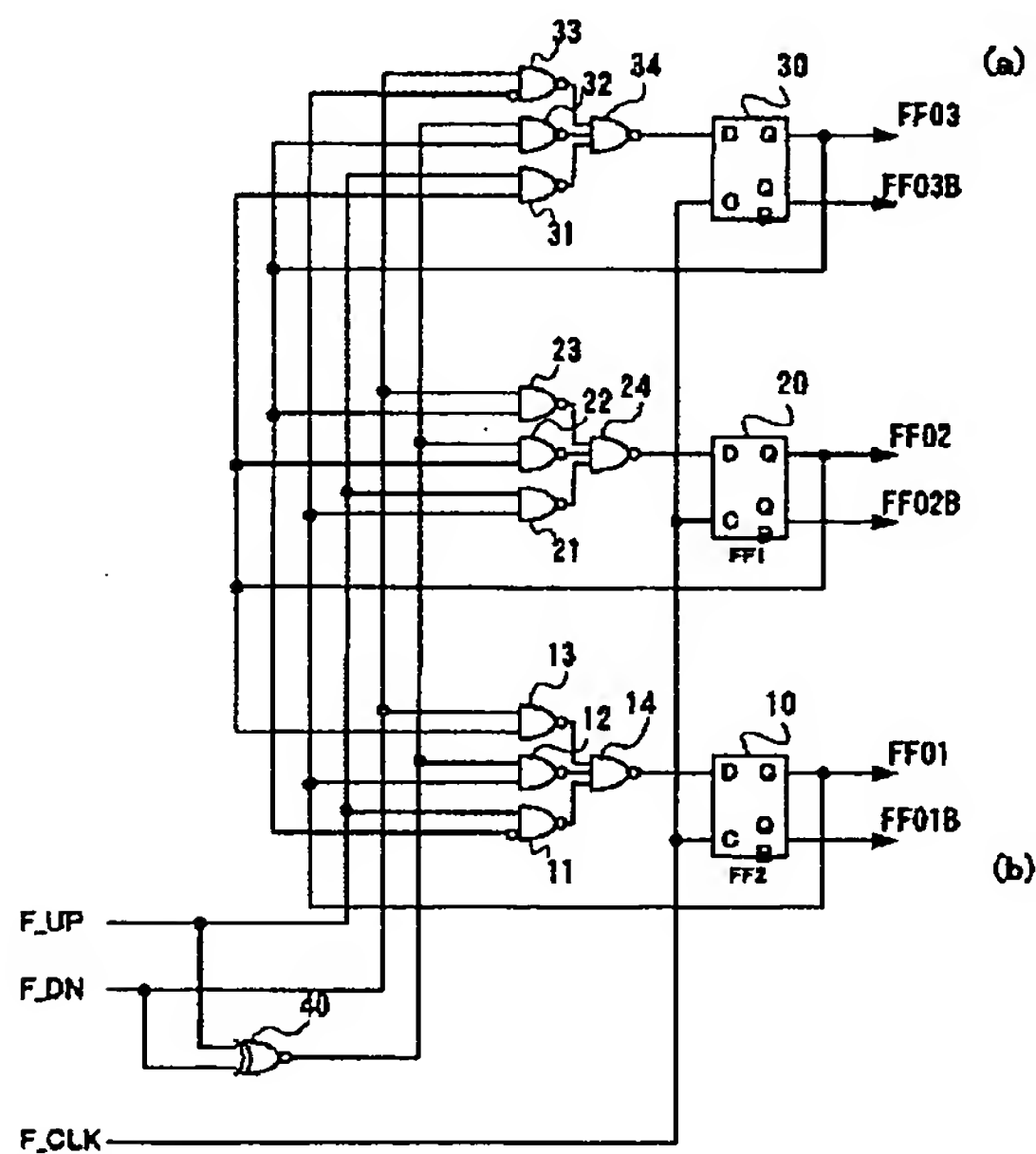


【図4】

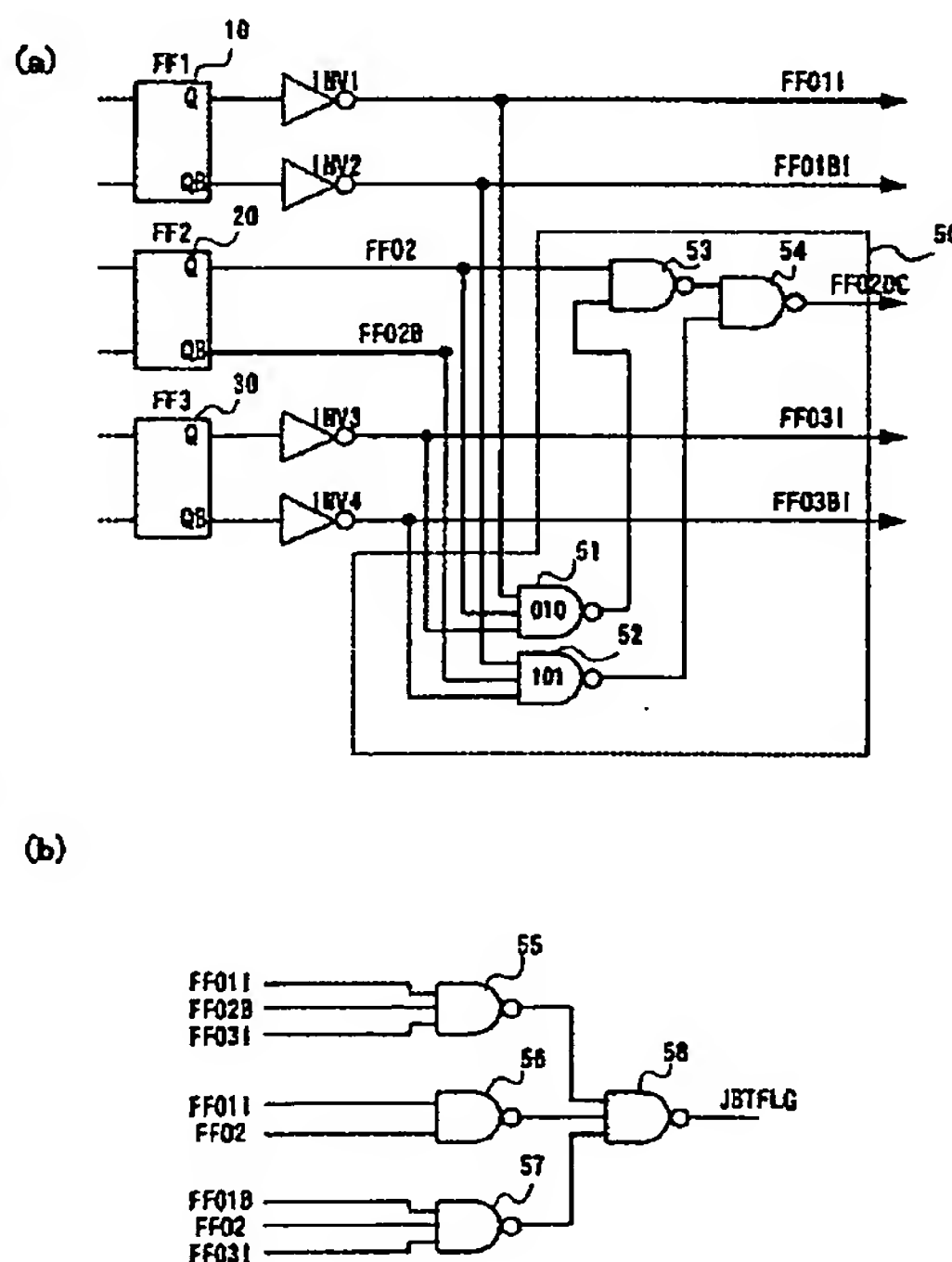
リングカウンタ値		デコード	クロック選択制御信号 S0～S5	フラグ JTBFLG
FF1, 2, 3	FF1, 2, 3 (反転)			
000	111	→	000110	1
100	011	→	000011	0
110	001	→	100001	1
111	000	→	110000	0
011	100	→	011000	1
001	110	→	001100	0
000	111	→	000110	1
<想定外>				
010→000	101→111		000110	
101→111	010→000		110000	

※カウンタ値は上から下の方にDN信号でカウント。  
(UPの場合は下から上の方へカウント)

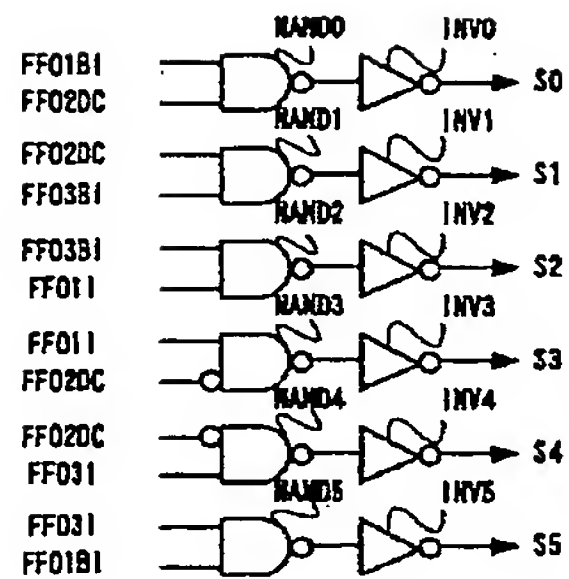
【図6】



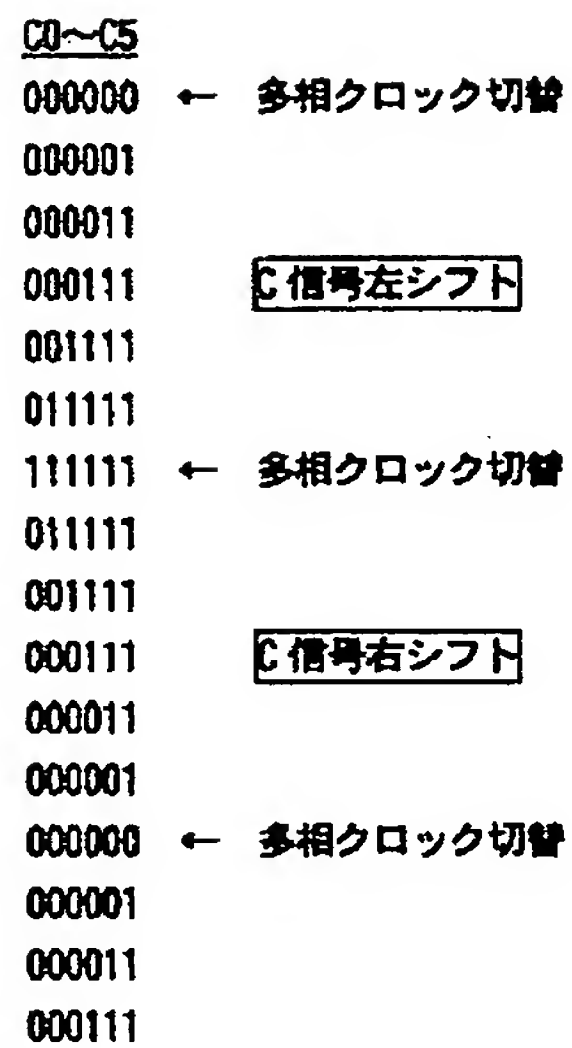
【図7】



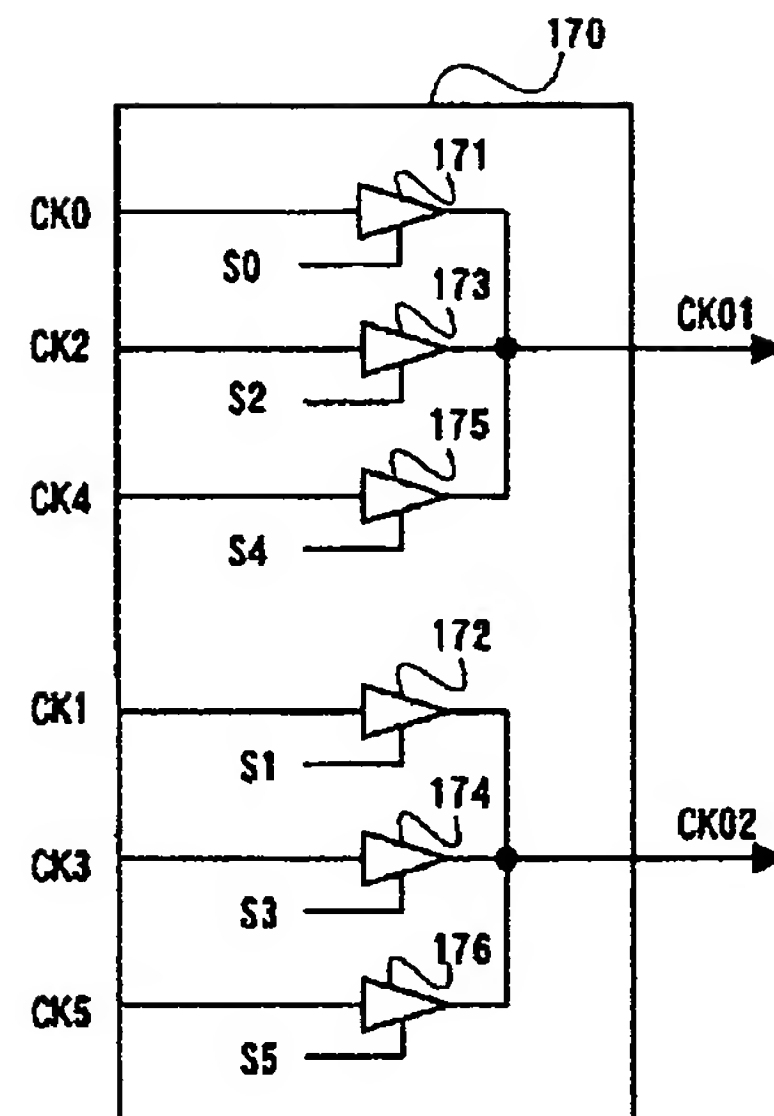
【図8】



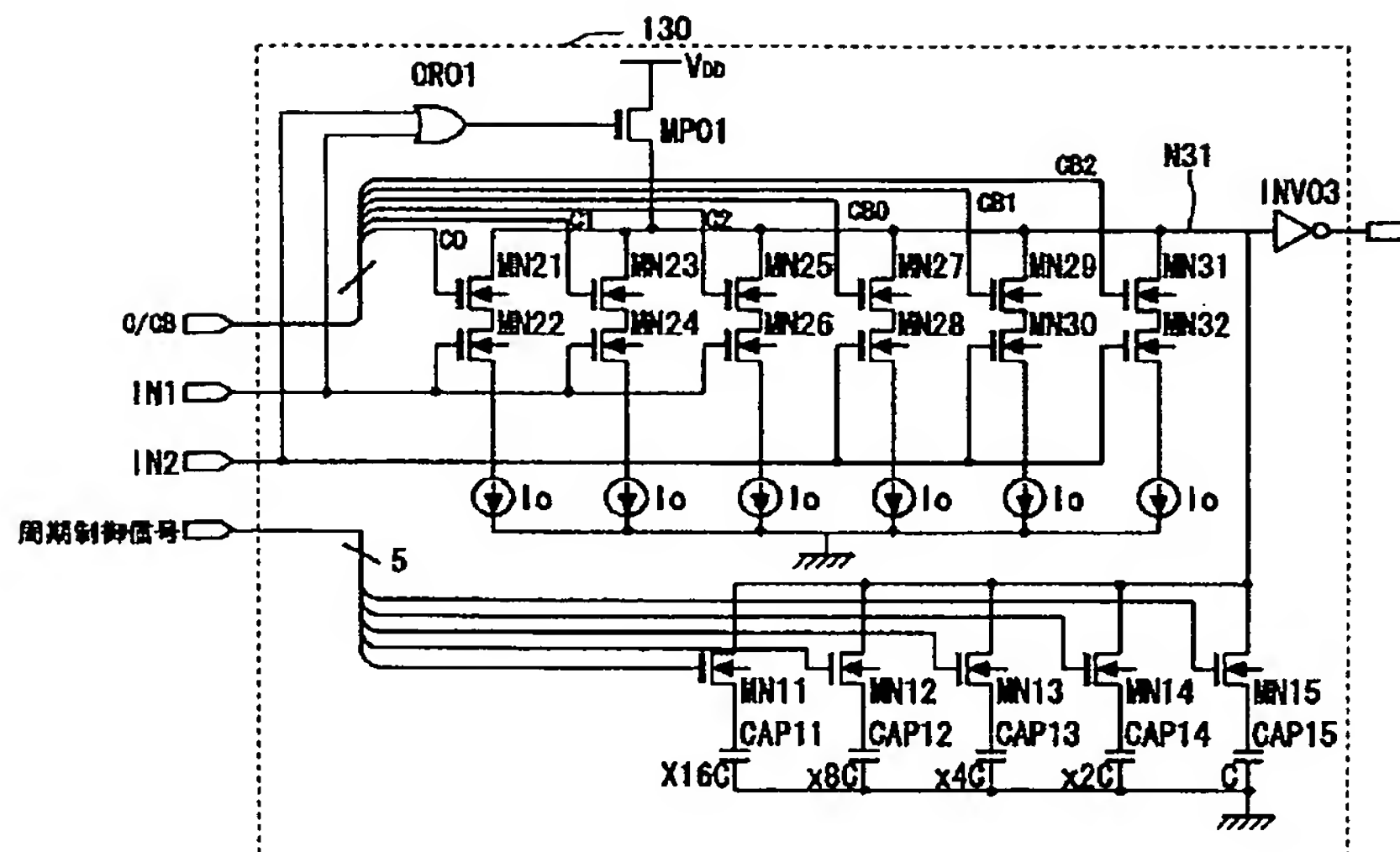
【図10】



【図12】



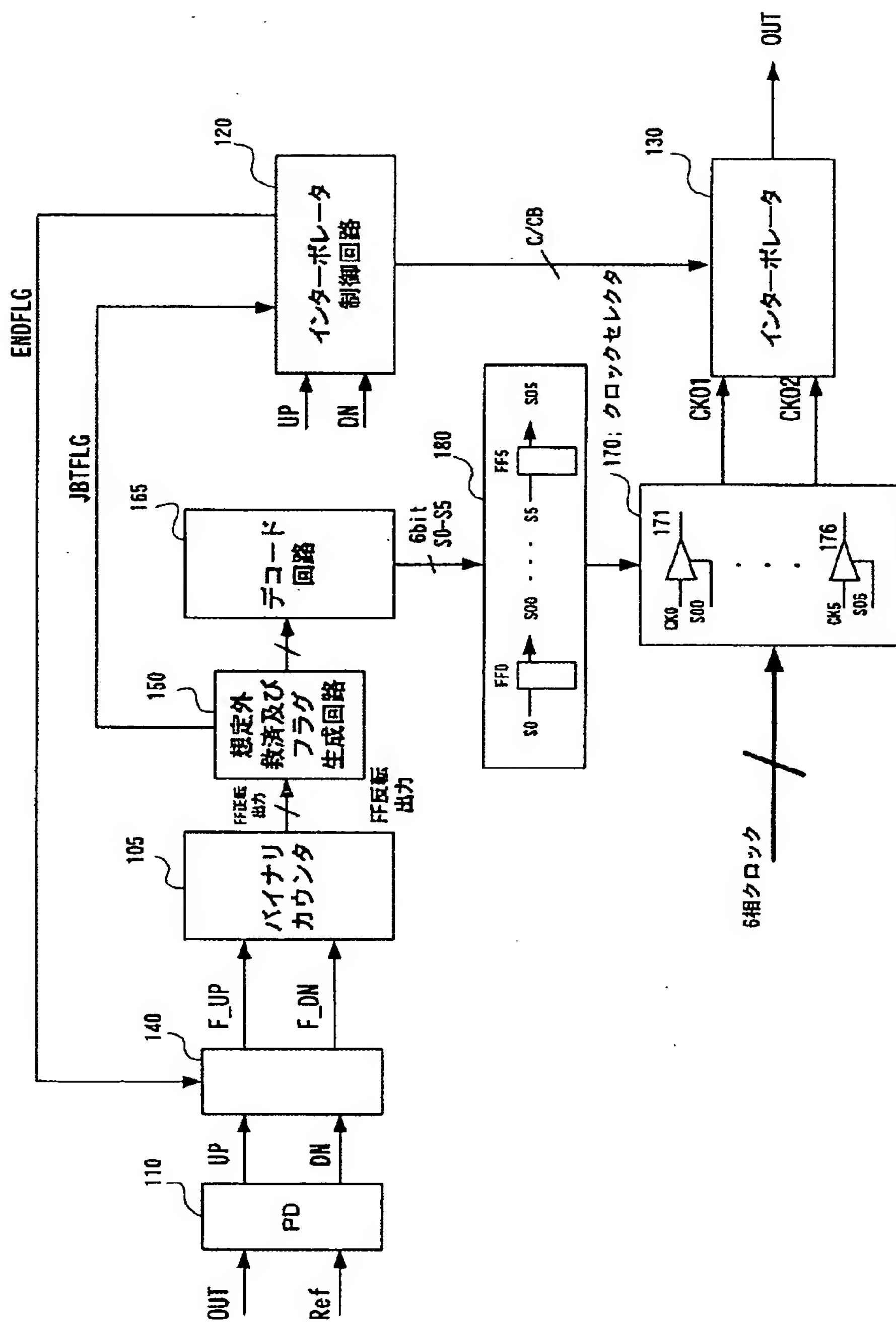
【図13】



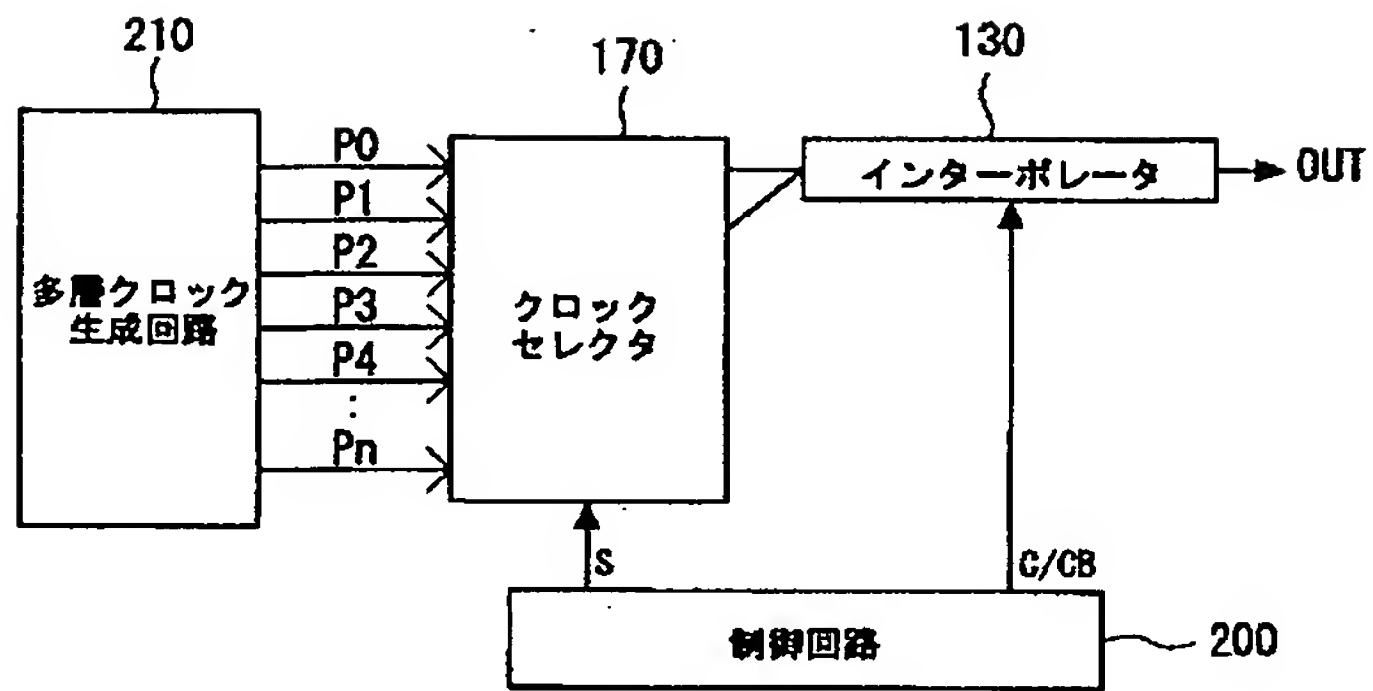




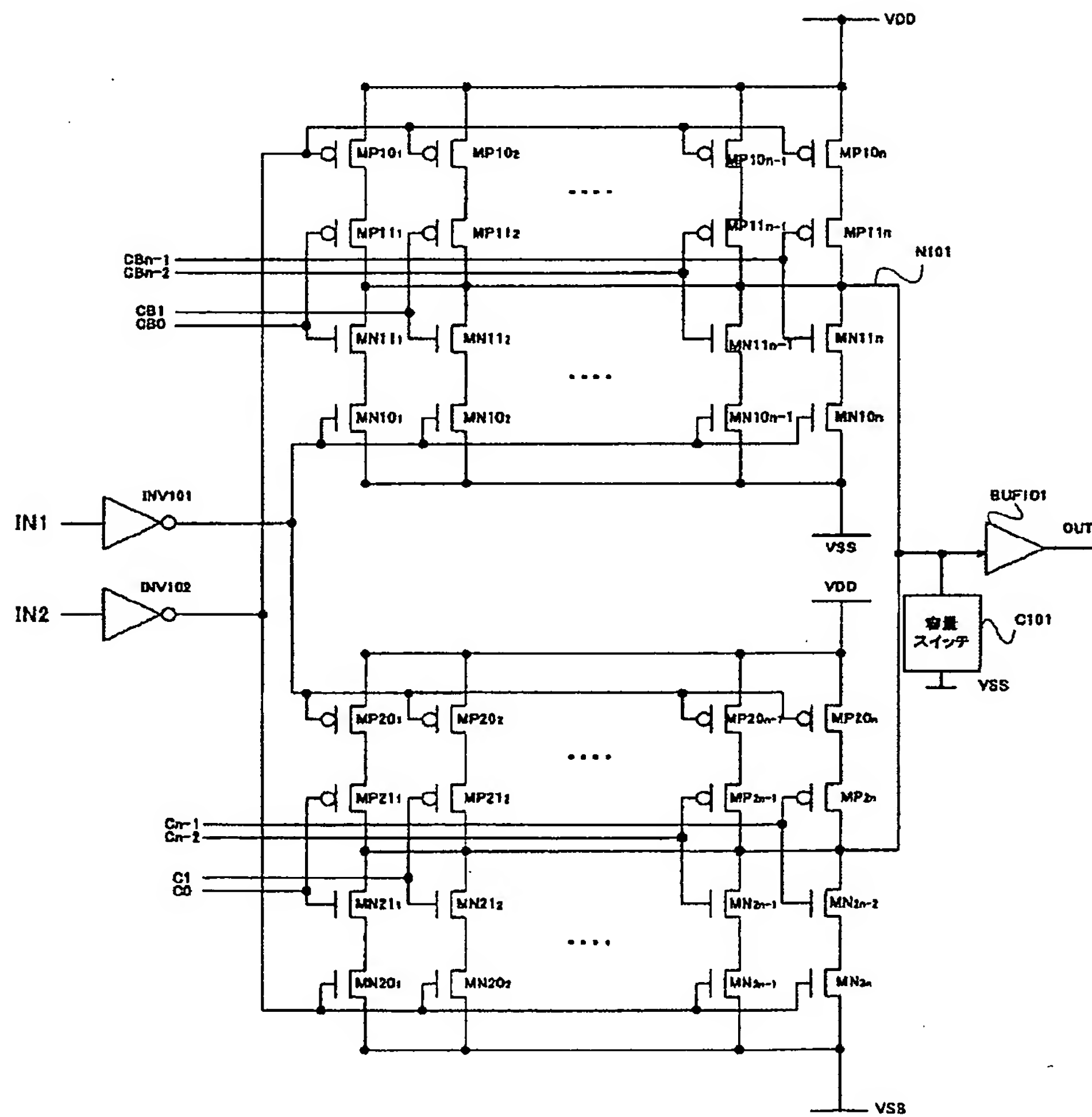
【図 11】



【図14】

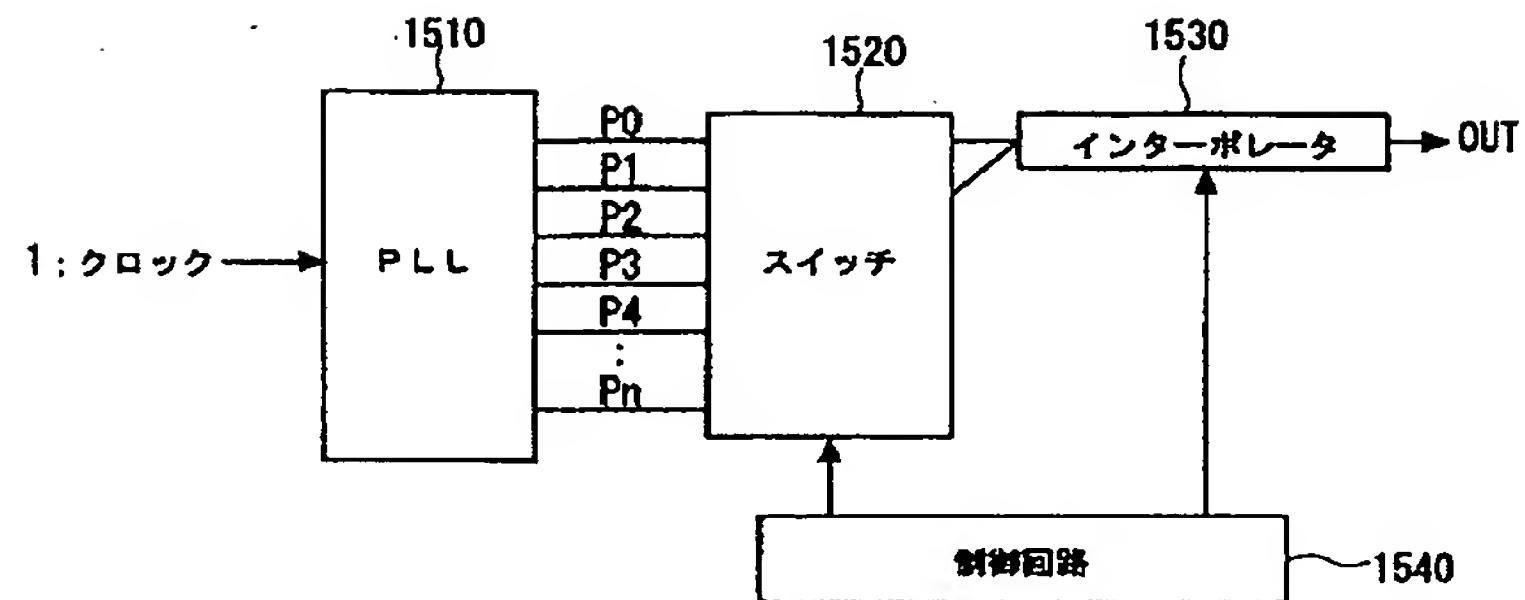


【図15】





【図16】



---

フロントページの続き

(72)発明者 高橋 啓  
東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

(72)発明者 佐伯 貴範  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

Fターム(参考) 5B079 CC08 CC14 DD17 DD20  
5J106 AA04 CC00 CC24 CC59 DD08  
DD09 DD17 DD20 DD42 DD43  
DD46 DD48 KK27 KK39